

Układy mikroprocesorowe Z80 (1)

mgr inż. Konrad Fedyna
mgr inż. Marek Mizeracki

Krótki cykl artykułów jest poświęcony podstawowym układom systemu mikroprocesorowego Z80 opracowanego w firmie ZILOG. Układy są produkowane przez wiele renomowanych firm na zachodzie Europy. Również w niektórych krajach socjalistycznych podjęto produkcję tych układów, jak np. mikroprocesor U880D produkowany w NRD

Mikroprocesor Z80

Układ scalony Z80 CPU jest obecnie najczęściej stosowanym mikroprocesorem 8-bitowym. Swoją popularność zawdzięcza bogatemu zestawowi wykonywanych rozkazów, rozbudowanemu systemowi przerwań, zgodności programowej z bardzo popularnym do niedawna mikroprocesorem 8080 oraz wbudowanemu układowi odświeżania pamięci dynamicznych RAM. Konstruktorzy mikroprocesora Z80 rozwinęli i udoskonallili koncepcję procesora zorientowanego na wewnętrzne rejestry, a zastosowaną w mikroprocesorze 8080 firm INTEL.

Mikroprocesor Z80 CPU jest wykonany w technologii NMOS i umieszczony w obudowie DIL-40. Zawiera ok. 8500 tranzystorów. Najważniejsze cechy układu Z80 CPU to:

- 8-bitowa magistrala danych,
- 16-bitowa magistrala adresowa,
- możliwość bezpośredniego adresowania 64k bajtów pamięci,
- możliwość wykonywania operacji na bitach, słowach 8-bitowych i 16-bitowych,
- liczba rozkazów: 158 (w tym 78 rozkazów wykonywanych przez mikroprocesor 8080), które można podzielić na grupy:

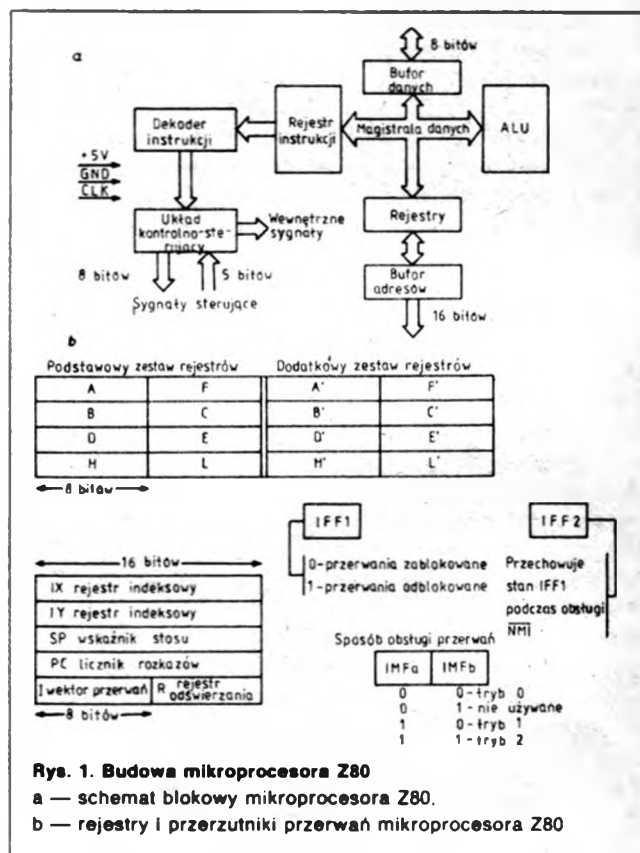
1. ładowania i zmiany zawartości pamięci i rejestrów,
 2. przesyłania i przeszukiwania bloków pamięci,
 3. operacji arytmetycznych i logicznych,
 4. przesunięcia i cyrkulacji (obrotu),
 5. manipulacji bitami,
 6. skoków, wywoływania podprogramów, powrotów z podprogramów,
 7. obsługi układów we-wy,
 8. sterowania stanem mikroprocesora,
- cztery sposoby adresowania pamięci:

1. natychmiastowe,
 2. bezpośrednie,
 3. zawartością pary rejestrów,
 4. indeksowe,
- dwie linie przerwań (maskowalna i niemaskowalna) oraz układ sterujący, umożliwiający trzy sposoby przyjęcia zgłoszonych przerwań,
 - dwanaście rejestrów roboczych 8-bitowych ogólnego przeznaczenia, które można łączyć parami w rejestry 16-bitowe, zespół rejestrów alternatywnych, dwa rejestry indeksowe, rejestr wektora przerwań, rejestr odświeżania pamięci, 16-bitowy licznik rozkazów i 16-bitowy wskaźnik stosu,
 - układ automatycznego odświeżania pamięci dynamicznych RAM,
 - jednofazowy sygnał zegarowy o częstotliwości 2,5 MHz (Z80 CPU), 4 MHz (Z80A CPU), 6 MHz (Z80B CPU), 8 MHz (Z80H CPU),
 - sygnały wszystkich linii układu odpowiadają standardowi TTL,
 - pojedyncze zasilanie ± 5 V.

W skład mikroprocesora Z80 CPU wchodzi następujące układy:

- jednostka arytmetyczno-logiczna (ALU),
- blok rejestrów procesora,
- układy sterowania magistralą danych i magistralą adresową,
- rejestr rozkazów,
- dekodery rozkazów,
- wewnętrzna magistrala danych,
- układ kontrolno-sterujący.

Schemat blokowy jest przedstawiony na rys. 1.



Rys. 1. Budowa mikroprocesora Z80

a — schemat blokowy mikroprocesora Z80.

b — rejestry i przerzutniki przerwań mikroprocesora Z80

Wśród rejestrów mikroprocesora można wyróżnić dwie grupy rejestrów roboczych. Są to rejestry oznaczone literami: A, B, C, D, E, H, L oraz A', B', C', D', E', H', L'. Programista ma bezpośredni dostęp jedynie do pierwszej grupy rejestrów. Możliwa jest jednak zamiana ich zawartości z zawartością rejestrów drugiej grupy. Rejestry robocze umożliwiają wykonywanie działań na słowach 8-bitowych, a połączone w pary BC, DE, HL na słowach 16-bitowych. Większość rozkazów mikroprocesora używa rejestru A jako źródła danych i jednocześnie jako miejsca przechowywania wyniku i dlatego rejestr A jest nazywany akumulatorem. Rejestry F i F' służą do przechowywania informacji o stanie znaczników mikroprocesora, przy czym tylko rejestr F zawiera informacje aktualne. Poza wymienionymi rejestrami Z80 CPU zawiera także:

- 16-bitowy licznik rozkazów PC (ang. PROGRAM COUNTER),
- 16-bitowy wskaźnik stosu SP (ang. STACK POINTER),
- dwa 16-bitowe rejestry indeksowe IX, IY (ang. INDEX REGISTER);

- 8-bitowy rejestr wektora przerwań I (ang. INTERRUPT REGISTER),
- 8-bitowy rejestr odświeżania pamięci dynamicznych RAM (ang. REFRESH REGISTER).

Układ kontrolno-sterujący mikroprocesora jest wyposażony w cztery przerzutniki (IFF1, IFF2, IMFa, IMFb) zawierające informacje niezbędne dla systemu przerwań.

Na rys. 2 przedstawiono rozkład i oznaczenia wyprowadzeń układu.

D7-D0 — wejścia-wyjścia trójstanowe (ang. DATA BUS). Dwukierunkowa, 8-bitowa magistrala danych.

A15-A0 — wyjścia trójstanowe (ang. ADDRESS BUS). Jednokierunkowa, 16-bitowa magistrala adresowa.

BUSREQ — wejście (ang. BUS REQUEST). Stan aktywny — niski. Sygnał żądania zwolnienia przez CPU magistrali danych, adresowej i sterującej. Pojawienie się stanu niskiego na wejściu **BUSREQ** powoduje wprowadzenie linii danych, adresów i linii sterujących (**MREQ**, **IORQ**, **RD** i **WR**) w stan wysokiej impedancji. Mikroprocesor bada w ostatnim takcie każdego cyklu stan sygnału na wejściu **BUSREQ** i w momencie, gdy zmieni się on na wysoki przejmując kontrolę nad magistralami systemu. Sygnał **BUSREQ** ma wyższy priorytet niż sygnał **NMI**, a stan wejścia jest sprawdzany pod koniec każdego cyklu zapisu lub odczytu. Zbyt krótki dostęp CPU do magistrali systemu może być przyczyną niewłaściwego odświeżania pamięci dynamicznych RAM.

BUSACK — wyjście (ang. BUS ACKNOWLEDGE). Stan aktywny — niski. Sygnał potwierdzenia zwolnienia magistral systemowych. Niski stan na tym wyjściu oznacza, że magistrala danych, adresowa i sterująca znajdują się w stanie wysokiej impedancji.

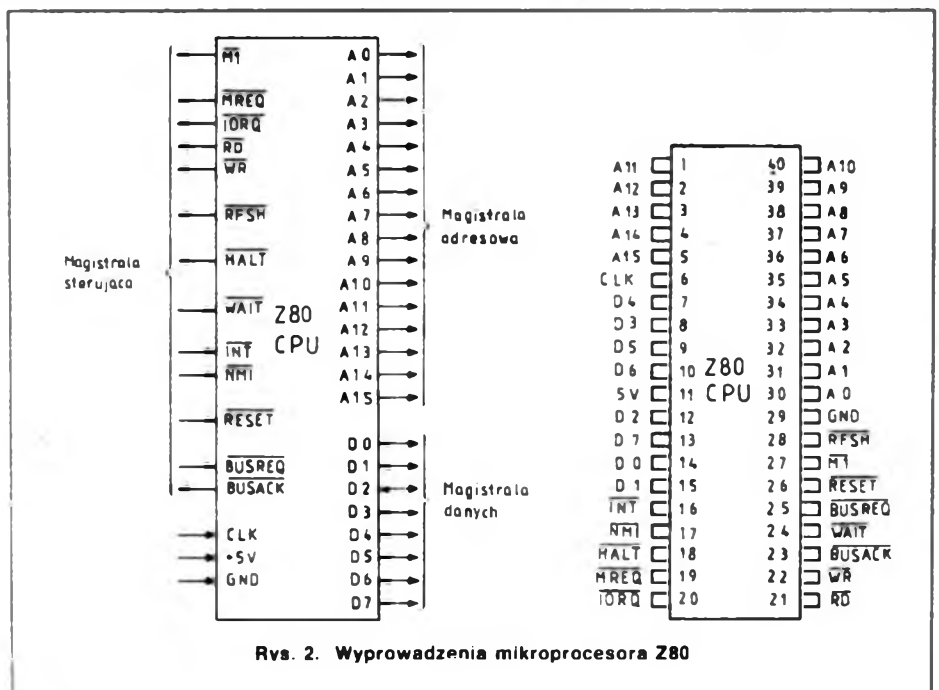
HALT — wyjście (ang. HALT STATE). Stan aktywny — niski. Sygnał stanu zatrzymania mikroprocesora. Stan niski na wyjściu **HALT** oznacza, że Z80 CPU jest w trakcie wykonywania rozkazu HALT. Podczas zatrzymania mikroprocesor wykonuje rozkaz NOP dzięki czemu nadal odświeżane są pamięci dynamiczne.

INT — wejście (ang. INTERRUPT REQUEST). Stan aktywny — niski. Sygnał zgłoszenia przerwania maskowalnego. Stan niski na tym wejściu jest wymuszany przez zewnętrzne układy we-wy. Układy peryferyjne są wyposażone w wyjście **INT** typu otwarty dren, co umożliwia realizację funkcji OR. Mikroprocesor sprawdza stan wejścia **INT** zawsze pod koniec realizacji cyklu wykonania rozkazu i jeżeli stan przerzutnika IFF1 na to pozwala, dokonuje obsługi przerwania.

IORQ — wyjście trójstanowe (ang. INPUT/OUTPUT REQUEST). Stan aktywny — niski. Sygnał informujący że magistralą adresową przesyłany jest ważny adres układów we-wy. Niski stan sygnału **IORQ** i **M1** oznacza potwierdzenie przyjęcia przerwania.

M1 — wyjście (ang. MACHINE CYCLE ONE). Stan aktywny — niski. Sygnał pierwszego cyklu maszynowego. Stany niskie na wyjściach **M1** i **MREQ** oznaczają, że mikroprocesor jest w trakcie pobierania kodu rozkazu z pamięci. Zmieniając jednocześnie stany sygnałów **M1** i **IORQ** na niskie mikroprocesor potwierdza przyjęcie przerwania.

MREQ — wyjście trójstanowe (ang. MEMORY REQUEST).



Rys. 2. Wyprowadzenia mikroprocesora Z80

Stan aktywny — niski. Sygnał używany w operacjach zapisu do pamięci lub odczytu jej zawartości. Niski stan na tym wyjściu oznacza, że na magistrali adresowej znajduje się aktualny adres komórki pamięci.

NMI — wejście (ang. NON-MASKABLE INTERRUPT). Stan aktywny — niski. Sygnał zgłoszenia przerwania niemaszowalnego. Przerwanie NMI ma wyższy priorytet niż przerwanie maskowalne. Stan wejścia **NMI** jest badany zawsze pod koniec realizacji cyklu wykonywania rozkazu, a przerwanie jest obsługiwane przez CPU bez względu na stan systemu przerwań. Po przyjęciu przerwania NMI, Z80 CPU realizuje program obsługi zawarty w pamięci od adresu 0066H.

RD — wyjście trójstanowe (ang. READ). Stan aktywny — niski. Sygnał odczytu z pamięci lub urządzeń we-wy. Pojawienie się stanu niskiego na linii **RD** powoduje wysłanie na magistralę danych zawartości komórki pamięci lub rejestru układu we-wy wybranego za pomocą sygnałów magistrali adresowej.

RESET — wejście (ang. RESET). Stan aktywny — niski. Sygnał zerowania układu Z80 CPU. Pojawienie się stanu niskiego na wejściu **RESET** przez czas krótszy niż trzy okresy zegara systemowego powoduje:

- wyzerowanie przerzutników przerwań IFF1, IFF2, IMFa, IMFb; ustawienie systemu przerwań mikroprocesora w stan IM 0 (ang. INTERRUPT MODE 0),
- wyzerowanie licznika rozkazów (PC = 0000H),
- wyzerowanie rejestrów R i I.

Podczas trwania stanu niskiego na wejściu **RESET**, magistrala danych i adresowa mikroprocesora są wprowadzane w stan wysokiej impedancji. Jednocześnie stany sygnałów na wszystkich wyjściach sterujących są zmieniane na nieaktywne.

RFSH — wyjście (ang. REFRESH). Stan aktywny — niski. Sygnał odświeżania pamięci dynamicznych RAM. Jednoczesne pojawienie się stanów niskich na wyjściach **RFSH** i **MREQ** oznacza, że na liniach A6-A0 magistrali adresowej znajduje się adres dla układów odświeżania pamięci (adres odpowiada zawartości rejestru R).

WAIT — wejście (ang. WAIT). Stan aktywny — niski. Stan niski na tym wejściu oznacza, że pamięć lub układy we-wy nie są gotowe do przestania danych. Mikroprocesor przedłuża cykl odczytu lub zapisu nie zmieniając

stanu sygnałów na wyjściach do czasu, gdy stan sygnału na wejściu **WAIT** zmieni się na wysoki. Pozostając w tym stanie mikroprocesor nie realizuje odświeżania pamięci dynamicznych.

WR — wyjście trójstanowe (ang. WRITE). Stan aktywny — niski. Sygnał zapisu danych do pamięci lub układów we-wy. Stan niski na wyjściu **WR** sygnalizuje, że na magistrali danych znajduje się słowo, które powinno być zapisane do pamięci lub układu we-wy adresowanego liniami A15-A0 magistrali adresowej.

Mikroprocesor Z80 umożliwia przyjmowanie przerwań INT w trzech trybach:

Tryb 0. Przerwania są przyjmowane w sposób identyczny jak w systemach mikroprocesorowych wykorzystujących układ 8080. Po wyzerowaniu mikroprocesora sygnałem **RESET**, tryb 0 jest ustawiany automatycznie.

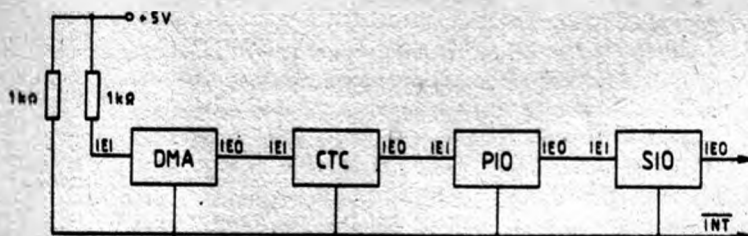
Tryb 1. Przerwanie INT jest przyjmowane w sposób taki sam, jak przerwanie NMI z tą różnicą, że po przyjęciu przerwania realizowany jest program obsługi od adresu 003BH, a nie od 0066H. Tryb 1 jest ustawiany przez programistę.

Tryb 2. Ten sposób obsługi przerwania jest sposobem najbardziej efektywnym. Układ żądający obsługi przerwania przesyła, po otrzymaniu potwierdzenia, na magistralę danych 8-bitowy wektor przerwania. Wektor przerwania jest młodszym bajtem adresu pierwszej z dwóch komórek pamięci, z których jest pobierany adres programu obsługi przerwania. Starszy bajt jest przechowywany w rejestrze I mikroprocesora. W wypadku wykorzystania kilku układów generujących wektor przerwania lub układu, który wysyła kilka różnych wektorów w zależności od przyczyny przerwania zbiór adresów podprogramów obsługi przerwań tworzy tablicę.

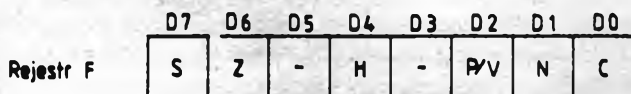
Układy serii Z80 są wyposażone w łańcuchowy system priorytetu przerwań ustalający pierwszeństwo obsługi zgłoszonego przerwania. Łącząc układy tak jak na rys. 3 otrzymuje się łańcuchowy system priorytetu przerwań, w którym priorytet jest ustalony fizycznym umiejscowieniem układu w łańcuchu. W danym przykładzie układ DMA ma priorytet najwyższy a układ SIO najniższy.

W tablicy przedstawiono stany przerzutników IFF1 i IFF2 w zależności od działań podejmowanych przez mikroprocesor (x — stan nieokreślony).

Do realizacji operacji logicznych i arytmetycznych oraz warunkowego rozgałęzienia programów służą przerzutniki S, Z, H, P/V, N i C, zwane znacznikami, które są zerowane i ustawiane w wyniku operacji przeprowadzanych w jednostce arytmetyczno-logicznej. Znaczniki tworzą rejestr F schematycznie przedstawiony na rys. 4.



Rys. 3. Sposób łączenia układów serii Z80 w łańcuch priorytetów przerwań



Rys. 4. Znaczniki mikroprocesora Z80

Zależność stanu przerzutników IFF1 i IFF2 od operacji mikroprocesorów Z80

Czynności	IFF1	IFF2	Komentarze
Zerowanie	0	0	Przerwania INT zablokowane
Wykonanie rozkazu DI	0	0	Przerwania INT zablokowane
Wykonanie rozkazu EI	1	1	Przerwania INT odblokowane
Wykonanie rozkazu LD A,I	X	X	IFF2 → Znacznik P
Wykonanie rozkazu LD A,R	X	X	IFF2 → Znacznik P
Przyjęcie przerwania NMI	0	IFF1	IFF1 → IFF2 Przerwania INT zablokowane
Wykonanie rozkazu RETN	IFF2	X	IFF2 → IFF1

X oznacza brak zmiany

Znaczniki testowalne (dostępne dla programisty) to:

C — przeniesienie (ang. CARRY). Znacznik jest ustawiany w wyniku wystąpienia przeniesienia z najbardziej znaczącego bitu akumulatora (podczas dodawania) lub pożyczki (podczas odejmowania). Przerzutnik C jest wykorzystywany również przez niektóre rozkazy obrotów i przesunięć.

Z — zero. Znacznik jest ustawiony w wypadku, gdy w rezultacie wykonywania rozkazu do akumulatora wpisywane jest zero.

S — znak (ang. SIGN). Stan znacznika odpowiada stanowi siódmego (najbardziej znaczącego) bitu akumulatora. W wypadku działania na liczbach w kodzie U2 stan przerzutnika S wskazuje na znak liczby (dla liczb ujemnych S = 1).

P/V — parzystość i przepełnienie (ang. PARITY/OVERFLOW). Znacznik ten spełnia dwie funkcje. Po użyciu rozkazów logicznych stan „1” znacznika wskazuje na parzystą liczbę „jedynek” w akumulatorze.

Po wykonaniu rozkazów arytmetycznych znacznik wskazuje przepełnienie (P/V = 1), jeżeli został przekroczony zakres od +127 do -128. Zawartość akumulatora jest traktowana jako liczba w kodzie U2.

Ponadto rejestr F zawiera dwa znaczniki nietestowalne:

H — przeniesienie pomocnicze (ang. HALF CARRY). Znacznik ten wskazuje na przeniesienie (pożyczkę) z trzeciego bitu akumulatora i jest wykorzystywany podczas wykonania rozkazu korekcji dziesiętnej DAA;

N — odejmowanie (ang. SUBTRACT). Znacznik jest ustawiany w stan „1”, jeżeli ostatnio wykonywaną operacją było odejmowanie, a zerowany, jeżeli dodawanie. Stan tego znacznika jest badany przed wykonaniem rozkazu korekcji dziesiętnej DAA.

Istnieją jednak wyjątki od opisanych powyżej reguł ustawiania znaczników (patrz [1]).

Podczas tworzenia programów dla mikroprocesora Z80 należy zwrócić szczególną uwagę na następujące zagadnienia:

a) wyzerowanie układu Z80 CPU sygnałem **RESET** powoduje rozpoczęcie wykonania programu od adresu 0000H. Rozwiązanie to jest „naturalne”, wynikające z wewnętrznej budowy mikroprocesora. Istnieje jednak możliwość zastosowania rozwiązania sprzętowego, stosowanego w wielu mikrokomputerach, które po pojawieniu się stanu niskiego na wejściu **RESET** wymusza inny adres na magistrali adresowej;

b) przerwanie NMI, bez względu na sposób przyjmowania przerwań przez mikroprocesor, powoduje wykonanie programu od adresu 0066H. Jeżeli mikroprocesor przyjmuje przerwania w trybie 1, to przerwanie INT zmienia stan licznika rozkazów PC na 003BH;

c) jednym z pierwszych rozkazów wykonywanych przez mikroprocesor po włączeniu zasilania powinien być rozkaz wpisujący właściwy adres do rejestru wskaźnika stosu. Wy-

korzystanie stosu, którego wskaźnik ma wartość przypadkową, bardzo często jest przyczyną nieoczekiwanego działania mikroprocesora. Obszar pamięci RAM wykorzystywany przez stos nie może pokrywać się z obszarem zawierającym program i dane;

d) podczas inicjalizacji systemu (zaprogramowanie układów współpracujących z Z80 CPU, ustalenie wartości zmiennych, wektorów przerwań i adresów procedur ich obsługi) przerwania powinny być zablokowane. Przed odblokowaniem przerwań należy również ustalić właściwy tryb ich przebiegu;

e) wskaźnik stosu w momencie rozpoczęcia wykonywania podprogramu i przed wykonaniem rozkazu powrotu z podprogramu powinien zawierać ten sam adres. Stosowanie tej zasady nie jest bezwzględnie konieczne, jednak należy zdawać sobie sprawę z konsekwencji takiego postępowania;

f) podprogramy wywoływane w wyniku przerwań powinny na wstępie zapamiętywać zawartości wykorzystywanych rejestrów mikroprocesora i odtwarzać je przed zakończeniem obsługi przerwania.

Mikroprocesor Z80 wykonuje wszystkie rozkazy mikroprocesora 8080. Rozkazy te powodują jednak w wielu wypadkach odmienne ustawienie znaczników. Najważniejsza różnica jest spowodowana dodatkową funkcją, jaką spełnia w mikroprocesorze Z80 znacznik parzystości. Podczas wykonywania operacji arytmetycznych sygnalizuje on wystąpienie przekroczenia zakresu od +127 do -128, a nie jak w mikroprocesorze 8080, parzystość liczby jedynek wyniku.

Podczas wykonywania rozkazów mikroprocesor wykonuje następujące operacje (zwane cyklami procesora): pobranie z pamięci słowa zawierającego kod rozkazu (ang. INSTRUCTION OP CODE FETCH), zapis danej do lub odczyt z pamięci (ang. MEMORY READ OR WRITE), zapis danej do lub odczyt z układu we-wy (ang. INPUT OR OUTPUT). Po-

nadto można wyróżnić cykl przyjęcia przerwania (ang. INTERRUPT ACKNOWLEDGE), zwolnienia magistrali systemowej (ang. BUS ACKNOWLEDGE), przyjęcia przerwania nie-maskowalnego (ang. NON-MASKABLE INTERRUPT ACKNOWLEDGE), zerowania (ang. RESET) oraz zatrzymania (ang. HALT). Cykle mikroprocesora składają się z różnej liczby taktów zegarowych. Najkrótszy cykl, odczytu lub zapisu do pamięci, składa się z czterech taktów zegara, a najdłuższy cykl (cykl zatrzymania) teoretycznie może trwać nieskończenie długo. Rozkaz NOP, czyli „nic nie rób”, absorbuje mikroprocesor na czas czterech taktów zegara systemowego. Istnieje możliwość wydłużenia każdego cyklu przez zmianę stanu sygnału na wejściu WAIT na niski. Przebiegi czasowe sygnałów mikroprocesora w czasie wykonywania poszczególnych cykli maszynowych oraz szczegóły dotyczące programowania są przedstawione w książkach [1] i [4].

Projektując układy cyfrowe należy pamiętać, że wyjście układu wykonanego w technologii MOS umożliwia wysteroowanie tylko jednego wejścia układu TTL serii LS. Z uwagi na to, w rozbudowanych systemach mikroprocesorowych zaleca się stosowanie wzmacniaczy magistrali adresowej, danych i sterujących. Układ Z80 CPU pobiera prąd ze źródła zasilania o wartości ok. 200 mA. Napięcie zasilania powinno mieścić się w granicach 4.75 do 5.25 V.

LITERATURA

- [1] Fedyna K., Mizeracki M.: Układy mikroprocesorowe Z80, WKiŁ 1989
- [2] Misiurewicz R.: Układy mikroprocesorowe, WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe, WNT 1984
- [4] Zaks R.: Programming the Z80, Melbourne House Publisher 1981
- [5] Coffron J.W.: Practical hardware details of 8080, 8085, 6800, Z80, New York, Prentice Hall 1981

□

Równoległy programowalny układ wejścia-wyjścia Z80 PIO

Z80 PIO jest programowalnym układem we-wy, w skład którego wchodzi dwa równoległe porty PA i PB wraz z liniami sterującymi. Układ ten może być wykorzystany w systemach opartych na mikroprocesorze Z80 bez użycia dodatkowych układów logicznych. Przykłady typowych zastosowań, to: moduły sprzęgające klawiatur, czytników taśm papierowych, drukarek, manipulatorów, czujników i sygnalizatorów itp. Układ Z80 PIO jest wykonywany w technologii NMOS i umieszczony w obudowie DIL-40.

Podstawowe cechy układu

- Dwa niezależne, 8-bitowe, dwukierunkowe porty PA i PB wraz z liniami sterującymi transmisją danych z potwierdzeniem
- Cztery tryby pracy: wyjściowy (tryb 0), wejściowy (tryb 1), transmisja dwukierunkowa (tryb 2) tylko dla portu PA i kontrola stanu pojedynczych bitów (tryb 3)
- Możliwość dołączenia układu do łańcuchowego systemu priorytetu przerwań (ang. DAISY CHAIN)
- Możliwość prowadzenia transmisji z obustronnym potwierdzeniem
- Zwiększona obciążalność linii portu PB (1,5 mA przy 1,5 V)
- Sygnały wszystkich linii układu odpowiadają poziomom logicznym układów TTL
- Pojedyncze zasilanie + 5 V
- Jednofazowy sygnał zegarowy.

Cechą wyróżniającą układ Z80 PIO od innych układów tego typu jest możliwość wykorzystania wektoryzowanego systemu przerwań Z80 CPU bez konieczności wprowadzania dodatkowych zewnętrznych połączeń lub układów. Z80 PIO może generować przerwanie wskutek pojawienia się ściśle określonych stanów na wejściach portów PA i PB. Właściwość ta uwalnia mikroprocesor od czasochłonnego, programowego sprawdzania stanu wejść. Dzięki swym zaletom układ Z80 PIO znajduje szerokie zastosowanie w mikroprocesorowych systemach pomiarowo-kontrolnych.

Układ Z80 PIO składa się z bufora we-wy, wewnętrznego układu sterującego, portów PA i PB wraz z liniami sterującymi

oraz układu generacji przerwań (rys. 1). Bufor we-wy umożliwia bezpośrednie łączenie Z80 PIO z Z80 CPU. W złożonych systemach mikroprocesorowych niezbędny jest dodatkowy układ zwany dekoderni adresów układów we-wy.

Układ logiczny każdego z portów składa się z siedmiu rejestrów:

- 8-bitowego rejestru wejściowego danych,
- 8-bitowego rejestru wyjściowego danych,
- 2-bitowego rejestru trybu pracy,
- 8-bitowego rejestru maski,
- 8-bitowego rejestru wyboru wejść i wyjść,
- 8-bitowego rejestru wektora przerwań,
- 2-bitowego rejestru kontroli maskowania.

Do 2-bitowego rejestru trybu pracy jest wpisywana przez mikroprocesor informacja w celu ustalenia trybu pracy (wejściowy, wyjściowy, dwukierunkowy, bitowy). Przekazywanie danych między urządzeniem peryferyjnym i jednostką centralną odbywa się przez rejestry danych (wejściowy i wyjściowy). Dane mogą być wpisywane i odczytywane przez mikroprocesor w dowolnym czasie. Sterowanie transmisją danych między Z80 PIO i urządzeniem zewnętrznym umożliwiają linie związane z każdym z portów:

ASTB (BSTB) — sygnał strobuujący (wejściowy), ARDY (BRDY) — sygnał gotowości (wyjściowy).

8-bitowy rejestr maski i 8-bitowy rejestr wyboru wejść i wyjść używane są tylko w trybie bitowym. W trybie tym każda z ośmiu linii portu PA może być zaprogramowana jako wyjściowa lub wejściowa. Rejestr maski służy do określenia, które z linii we-wy portu mogą generować przerwania.

2-bitowy rejestr kontroli maskowania określa jaki stan (niski lub wysoki) ma spowodować wygenerowanie przerwania oraz czy ma ono nastąpić w wyniku zmian na jednej czy na wszystkich nie zamaskowanych liniach.

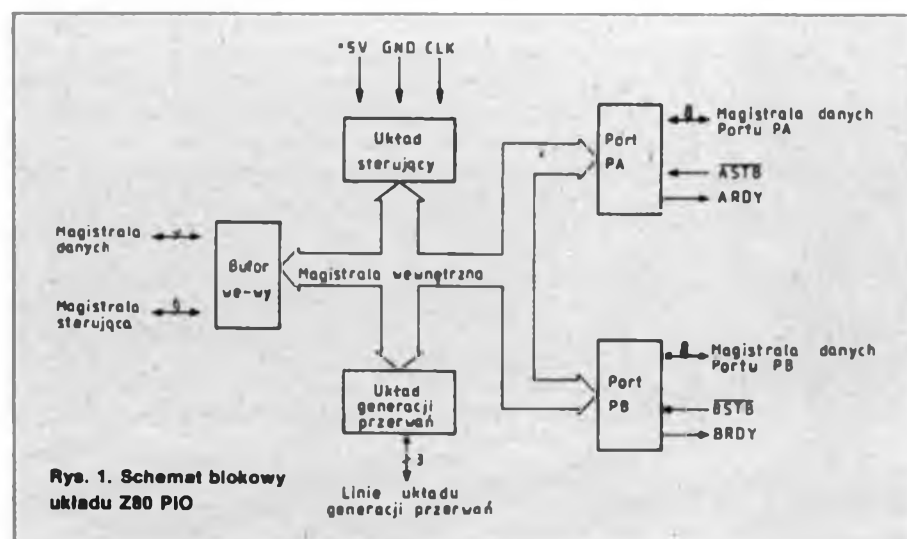
Rozkład wyprowadzeń Z80 PIO przedstawiono na rys. 2.

D7-D0 — trójstanowe wejścia-wyjścia (ang. DATA BUS). Magistrala danych używana do przesyłania danych, słów sterujących i wektorów przerwań między CPU a PIO. D0 oznacza najmniej znaczący bit.

B/A — wejście (ang. PORT B OR A SELECT). Sygnał wyboru portu PA lub PB. Niski poziom sygnału na wejściu umożliwia mikroprocesorowi dostęp do portu PA, natomiast wysoki do portu PB.

C/D — wejście (ang. CONTROL OR DATA SELECT). Sygnał wyboru rejestru sterującego lub rejestru danych. Wysoki poziom sygnału na tym wejściu podczas wpisywania bajtu informacji powoduje, że PIO interpretuje go jako słowo sterujące, wpisując do rejestru sterującego. Poziomy niski sygnał C/D wskazuje, że aktualnie magistralą przesyłane są dane.

CE — wejście (ang. CHIP ENABLE). Stan aktywny — niski. Sygnał wyboru układu. Stan niski na tym wejściu powoduje, że układ przyjmuje dane i słowa sterujące z magistrali danych (cykl zapisu) lub przesyła na nią dane z portów PA i PB (cykl odczytu). W prostych systemach mikroprocesorowych wejście CE może być łączone bezpo-



Rys. 1. Schemat blokowy układu Z80 PIO

średnio z jedną z linii AO-A7. W systemach zawierających dużą liczbę układów we-wy, wejście $\overline{CE}$ łączy się z wyjściem dekodera adresów, CLK — wejście (ang. SYSTEM CLOCK). Jednofazowy sygnał zegarowy. Układ Z80 PIO wykorzystuje sygnał zegarowy mikroprocesora. W zależności od wersji układu maksymalna częstotliwość sygnału zegarowego może wynosić 2,5 MHz (Z80 PIO), 4 MHz (Z80A PIO), 6 MHz (Z80B PIO).

M1 — wejście (ang. MACHINE CYCLE ONE). Stan aktywny — niski. Sygnał pierwszego cyklu maszynowego CPU. Wykorzystywany jest do kontroli i synchronizacji operacji wewnątrz PIO. Niskie (aktywne) stany sygnałów M1 i $\overline{IORQ}$ informują PIO o przyjęciu przez CPU zgłoszonego przerwania. Ponadto sygnał M1 spełnia dodatkowo dwie funkcje:

- synchronizuje generację przerw z PIO,
- stan niski sygnału M1 przy nieaktywnych sygnałach RD i $\overline{IORQ}$ powoduje wyzerowanie układu PIO,

$\overline{IORQ}$ — wejście (ang. INPUT/OUTPUT REQUEST). Stan aktywny-niski. Sygnał odczytu lub zapisu do układu we-wy. Stan niski sygnału $\overline{IORQ}$ oznacza, że liniami magistrali adresowej przesyłany jest adres układu we-wy. Sygnał $\overline{IORQ}$ wraz z sygnałami B/A, C/D, $\overline{CE}$ i RD służy do transmisji danych i słów sterujących między CPU i PIO. Jeżeli aktywne są sygnały $\overline{CE}$, RD i $\overline{IORQ}$, to port wybrany linią B/A przesyła dane do CPU. Odpowiednio, jeżeli aktywne są sygnały $\overline{CE}$ i $\overline{IORQ}$, a sygnał RD nie, to do portu wybranego przez sygnał B/A wpisywane są dane lub słowo sterujące (zależnie od stanu linii C/D). Wykrycie przez PIO niskich stanów sygnałów $\overline{IORQ}$ i M1 (potwierdzenie przyjęcia przerwania) powoduje automatyczne wysłanie na magistralę danych wektora przerw pod warunkiem, że pozwala na to system generacji przerw.

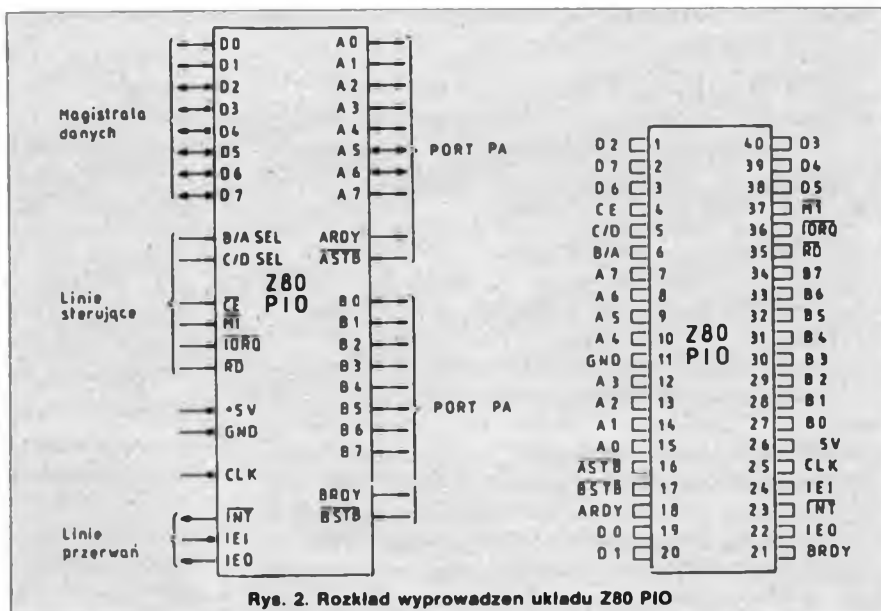
RD — wejście (ang. READ). Stan aktywny — niski. Sygnał odczytu z pamięci lub układu we-wy. Sygnał RD jest używany wraz z sygnałami B/A, C/D, $\overline{CE}$ i $\overline{IORQ}$ do przesyłania danych i słów sterujących między mikroprocesorem i PIO.

IEI — wejście (ang. INTERRUPT ENABLE INPUT). Sygnał zezwolenia na generację przerwania. Wejście to używane jest do tworzenia łańcucha priorytetu przerw w systemach zawierających więcej niż jeden układ (ang. DAISY CHAIN PRIORITY INTERRUPT LOGIC). Wysoki poziom na tym wejściu oznacza, że żaden inny układ o wyższym priorytecie przerw nie jest obsługiwany przez mikroprocesor.

IEO — wyjście (ang. INTERRUPT ENABLE OUTPUT). Sygnał zezwolenia na generację przerwania. Sygnał IEO wraz z sygnałem IEI służy do tworzenia łańcucha priorytetu przerw. Sygnał IEO przyjmuje stan wysoki tylko wtedy, gdy mikroprocesor nie obsługuje przerwania z układu o wyższym priorytecie.

INT — wyjście (ang. INTERRUPT). Stan aktywny — niski. Sygnał zgłoszenia przerwania.

PA7-PA0 — trójstanowe wejścia-wyjścia portu PA (ang. PORT A BUS). PA0 jest najmniej znaczącym bitem portu PA,



Rys. 2. Rozkład wyprowadzeń układu Z80 PIO

ASTB — wejście (ang. PORT A STROBE). Sygnał strobu dla portu PA. Znaczenie sygnału zależy od trybu pracy portu.

1. **Tryb wyjściowy.** Narastające zbocze sygnału ASTB, wysłane przez urządzenie peryferyjne do PIO, oznacza potwierdzenie przyjęcia danych.

2. **Tryb wejściowy.** Sygnał strobu ASTB jest wysyłany przez urządzenie peryferyjne w celu wpisania danych do rejestru wejściowego portu PA. Wpisanie następuje wtedy, gdy sygnał ASTB jest aktywny, tzn. ma wartość logiczną „0”.

3. **Tryb dwukierunkowy.** Stan aktywny sygnału ASTB powoduje wpisanie danych do rejestru wyjściowego portu PA. Pojawienie się narastającego zbocza sygnału ASTB oznacza potwierdzenie przyjęcia danych przez urządzenie peryferyjne.

4. **Tryb bitowy.** Sygnał ASTB nie jest wykorzystywany.

ARDY — wyjście (ang. PORT A READY). Stan aktywny — wysoki. Sygnał gotowości portu PA. Znaczenie sygnału zależy od trybu pracy portu.

1. **Tryb wyjściowy.** Wysoki stan sygnału ARDY oznacza, że do rejestru wyjściowego portu PA zostały wpisane dane, a sygnały PA7-PA0 osiągnęły stany stabilne.

2. **Tryb wejściowy.** Sygnał ARDY przyjmuje stan aktywny (wysoki), jeżeli rejestr wejściowy portu PA jest pusty i gotowy na przyjęcie danych z urządzenia peryferyjnego.

3. **Tryb dwukierunkowy.** Sygnał ARDY przyjmuje stan aktywny, jeżeli w rejestrze wyjściowym portu PA znajdują się dane. Gdy sygnał ASTB jest w stanie niskim, dane są przesyłane na linie PA7-PA0.

4. **Tryb bitowy.** Sygnał nie jest wykorzystywany i stale ma wartość logiczną „0”.

PB7-PB0 — trójstanowe wejścia-wyjścia portu PB (ang. PORT B BUS). PBO jest najmniej znaczącym bitem portu PB. Wyjścia te mają zwiększoną obciążalność (1,5 mA przy 1,5 V).

BSTB — wejście (ang. PORT B STROBE). Stan aktywny-niski. Sygnał strobu dla portu PB. Znaczenie tego sygnału jest identyczne jak sygnału ASTB z wyjątkiem funkcji spełnianych w trybie dwukierunkowym.

BRDY — wyjście (ang. REGISTER B READY). Stan aktywny — wysoki. Sygnał gotowości portu PB. Znaczenie tego sygnału jest takie jak sygnału ARDY z wyjątkiem funkcji spełnianych w trybie dwukierunkowym.

Układ Z80 PIO jest zerowany automatycznie po włączeniu zasilania. Wyzerowanie układu (ang. RESET) powoduje:

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	V2	V1	0

D0=0 odróżnia wektor przerw od innych słów sterujących

Rys. 3. Wektor przerw układu Z80 PIO

- wyzerowanie obu rejestrów maski,
- wybranie trybu 1 (wejściowego) dla obu portów,
- ustawienie linii PA7-PA0 i PB7-PB0 w stan wysokiej impedancji,
- ustawienie wyjść ARDY i BRDY w stan niski (nieaktywny),
- wyzerowanie obu przerzutników zezwolenia na przerwanie,
- zablokowanie systemu przerw,
- wyzerowanie rejestrów wyjściowych portu PA i PB.

Ze względu na ograniczoną liczbę wyprowadzeń, układ Z80 PIO nie ma standardowego wejścia RESET. Zerowanie układu PIO można uzyskać w wyniku pojawienia się stanu niskiego na wejściu M1 przy jednoczesnym pozostawieniu wejść RD i IORQ w stanie wysokim.

Po wyzerowaniu układ PIO pozostaje w nie zmienionym stanie do czasu odebrania słowa sterującego z CPU.

D7	D6	D5	D4	D3	D2	D1	D0
M1	M2	X	X	1	1	1	1

Wybór trybu pracy X-bity nie używane

D7	D6	tryb pracy
0	0	0 (wejście)
0	1	1 (wejście)
1	0	2 (dwukierunkowy)
1	1	3 (bitowy)

Rys. 4. Słowo sterujące wyborem trybu pracy Z80 PIO

Układ Z80 PIO został zaprojektowany do współpracy z Z80 CPU w trybie przerw 2. Obsługa przerw w tym trybie wymaga wcześniejszego załadowania do odpowiednich rejestrów PIO wektora przerw. Wektor przerw jest wysyłany przez układ PIO na magistralę danych systemu po przyjęciu przerwania przez CPU pod warunkiem, że sygnał IEI układu znajduje się w stanie wysokim. Wektor przerwania jest wykorzystywany jako młodszy bajt adresu obszaru pamięci (starszy bajt adresu powinien znajdować się w rejestrze I CPU), w którym znajduje się adres podprogramu obsługi przerwania. Załadowanie wektora przerwania polega na wysłaniu słowa sterującego, którego najmniej znaczący bit równy jest zero, do wybranego portu Z80 PIO. Najmniej znaczący bit odróżnia wektor przerwania od słowa sterującego (rys. 3). Zerowanie układu Z80 PIO nie zmienia rejestrów wektorów przerw.

Port PA układu Z80 PIO może pracować w jednym z czterech trybów pracy: wyjściowym (tryb 0), wejściowym (tryb 1), dwukierunkowym (tryb 2), bitowym (tryb 3). Port PB może

pracować w trybach 0, 1 i 3. Wybór trybu pracy odbywa się przez ustalenie dwóch najbardziej znaczących bitów słowa sterującego i wpisanie go do rejestru trybu pracy określonego portu. Bity D7 i D6 słowa sterującego reprezentują zakodowany binarnie numer trybu pracy. Bity D5 i D4 są ignorowane, a bity D3, D2, D1 i D0 muszą być ustawione w stan wysoki w celu zaznaczenia, że słowo to wybiera tryb pracy (rys. 4).

Tryb 0, wysłanie danych z potwierdzeniem. Wybór trybu 0 powoduje, że dane wpisane do rejestru wyjściowego pojawiają się na magistrali danych portu. Zawartość rejestru wyjściowego może być zmieniana lub odczytywana przez CPU w dowolnym czasie. Wpisanie danych do rejestru wyjściowego zmienia stan wyjścia RDY na wysoki. Sygnał RDY pozostaje w tym stanie do czasu, aż na wejściu STB pojawi się stan niski.

Narastające zbocze sygnału STB powoduje wysłanie sygnału zgłoszenia przerwania (jeśli system przerw Z80 PIO jest odblokowany) i zmianę stanu sygnału RDY na niski.

Tryb 1, odbiór danych z potwierdzeniem. Wczytanie danych z rejestru wejściowego portu powoduje zmianę stanu wyjścia RDY na wysoki. Wtedy urządzenie peryferyjne może wpisać sygnałem STB dane do rejestru wejściowego portu. Narastające zbocze sygnału STB generuje sygnał zgłoszenia przerwania zmienia stan wyjścia RDY na niski. Dane mogą być wpisywane do rejestru wejściowego portu bez względu na stan wyjścia RDY.

Tryb 2, transmisja dwukierunkowa. Umożliwia zarówno wczytanie jak i wysłanie danych z potwierdzeniem. W trybie tym może pracować tylko port PA, który wykorzystuje linie ASTB, ARDY w operacjach wyjścia, a linie BSTB i BRDY w operacjach wejścia. Różnica między trybem 2 i 0 polega na tym, że dane z rejestru wyjściowego portu PA wysyłane są na magistralę danych tylko wtedy, gdy aktywny jest sygnał ASTB.

Tryb 3, bitowy. W trybie 3 nie są wykorzystywane linie ASTB, BSTB, ARDY i BRDY. Jeżeli został wybrany tryb pracy 3, to następne słowo sterujące wysłane do portu określa, które z linii D7-D0 będą wykorzystywane jako wejścia, a które jako wyjścia. Format tego słowa jest przedstawiony na rys. 5. Ustalenie linii n jako wyjściowej wymaga wpisania jedynki, a wejściowej zera na n-tym bicie słowa sterującego. W czasie pracy w trybie 3 sygnały ASTB i BSTN są ignorowane, a sygnały ARDY i BRDY utrzymywane w stanie niskim. Dane mogą być wpisywane i odczytywane z portu w dowolnym momencie. Odczytywane są zarówno linie wcześniej zdefiniowane jako wejścia jak i te, które są wyjściami. Przerwanie jest generowane jak w trybie 1 i 2.

Na rys. 6 przedstawiono postać słowa sterującego dla systemu generacji przerw PIO.

Jeżeli bit D7 = 1, to przerzutnik, zezwolenia na przerwanie jest ustawiany w stan „1”, co odblokowuje system przerw portu. Jeżeli bit D7 = 0, to przerzutnik zezwolenia na przerwanie jest zerowany, a tym samym uniemożliwiona jest generacja przerw z tego portu. Jeżeli port zgłosi przerwanie w czasie, gdy jego przerzutnik zezwolenia na przerwanie jest wyzerowany, to jest ono zgłaszane do CPU w momencie uaktywnienia systemu generacji przerw. Bity D6, D5 i D4 są

D7	D6	D5	D4	D3	D2	D1	D0
I/O ₇	I/O ₆	I/O ₅	I/O ₄	I/O ₃	I/O ₂	I/O ₁	I/O ₀

Rys. 5. Słowo sterujące wyborem wejść i wyjść układu Z80 PIO

D7	D6	D5	D4	D3	D2	D1	D0
Odblokowanie przerw	AND/OR	M/L	Maska	0	1	1	1

Używane tylko w trybie 3

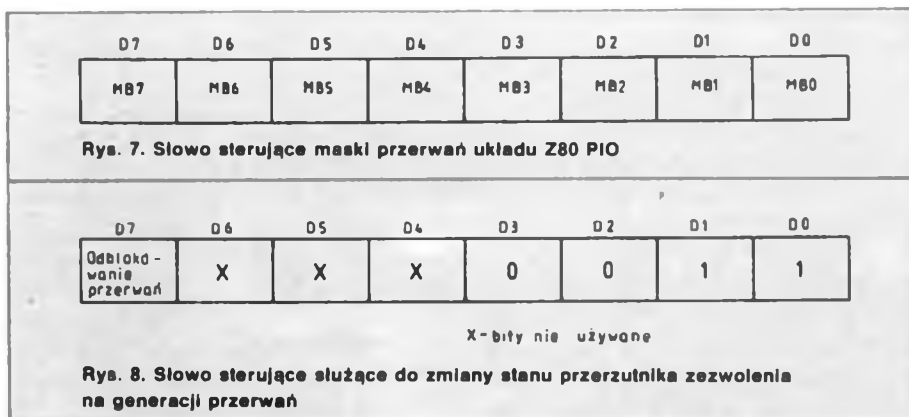
Oznacza słowa sterujące dla systemu przerw

Rys. 6. Słowo sterujące dla systemu generacji przerw układu Z80 PIO

używane głównie w trybie 3, ale wysłanie słowa sterującego, w którym bit $D4 = 1$, powoduje zlikwidowanie przerwania opisanego powyżej. Bit $D5$ określa, jaki stan linii $D7-D0$ portu powinien powodować przerwanie. Jeżeli bit $D5 = 1$, to przerwanie powoduje stan wysoki, a jeżeli $D5 = 0$, to stan niski. Bit $D6$ definiuje funkcję logiczną rozstrzygającą o generacji przerwania. Jeżeli bit $D6 = 1$, to przerwanie jest generowane tylko w wypadku, gdy wszystkie linie portu osiągną stan określony przez bit $D5$ (funkcja AND). Generacja przerwania wskutek zmiany sygnału na jednej tylko linii (funkcja OR) jest możliwa po wyzerowaniu bitu $D6$. Jeżeli bit $D4 = 1$, to następnym bajtem wysłanym do PIO musi być słowo sterujące maski. Tylko te linie, których bity słowa sterującego maski są zerami mogą generować przerwanie (rys. 7).

Przerzutniki zezwolenia na przerwanie obu portów mogą być ustawiane w stan wysoki lub zerowane bez zmiany sposobu kontroli przerwania. Służy do tego słowo sterujące o formacie przedstawionym na rys. 8. Jeżeli przerwanie wystąpi w momencie, gdy CPU wpisuje słowo sterujące 03H do PIO (wyłączenie systemu przerwania), to może wystąpić błąd w działaniu mikroprocesora. Po wysłaniu przez PIO sygnału INT mikroprocesor wysyła potwierdzenie przyjęcia przerwania.

Wyłączenie systemu przerwania w tym momencie spowoduje, że na magistralę danych nie zostanie wysłany wektor przer-



wania. W rezultacie CPU otrzyma błędny adres obsługi przerwania. Przed błędami tego typu można zabezpieczyć się wyłączając system przerwania CPU przed wysłaniem do PIO bajtu 03H i włączając go ponownie.

Cykle zapisu do układu Z80 PIO, odczytu jego rejestrów, zgłoszenia i powrotu z przerwania są typowe dla serii Z80 i szczegółowo opisane w książce [1].

Układ Z80 PIO jest produkowany również w NRD i ma oznaczenie U855D. Pobór prądu zasilania Z80 PIO wynosi ok. 100 mA. □

LITERATURA

- [1] Fedyna K., Mizeracki A.: Układy mikroprocesorowe Z80, WKiŁ 1989
- [2] Misiurewicz P.: Układy mikroprocesorowe, WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe, WNT 1984

Układy mikroprocesorowe Z80 (3)

mgr Inż. Konrad Fedyna
mgr Inż. Marek Mizeracki

Programowalny układ czasowy Z80 CTC

Z80 CTC jest programowalnym układem czasowym zawierającym cztery niezależne bloki funkcjonalne (kanały), umożliwiające zliczanie impulsów, odmierzanie czasu i generowanie impulsów o zadanym czasie trwania. Układ Z80 CTC jest wykonany w technologii NMOS i umieszczony w obudowie DIL 28.

Podstawowe cechy układu

- Niezależna praca każdego z kanałów jako licznik (ang. COUNTER) lub jako układ odmierzający czas (ang. TIMER)
- Możliwość odczytu stanu liczników w dowolnym momencie
- Automatyczne ustawianie stanu liczników po ich wyzerowaniu
- Wyzwalanie licznika czasu i impulsów zmianą stanu na jednym z wejść układu (ang. TRIGGER)
- Generacja impulsu po wyzerowaniu liczników umożliwiające wysterowanie tranzystorów typu Darlington
- Generacja przerwania po wyzerowaniu liczników z wykorzystaniem łańcuchowego systemu priorytetu przerw
- Poziom logiczny TTL sygnałów wejściowych i wyjściowych
- Zasilanie +5 V
- Jednofazowy sygnał zegarowy

Schemat blokowy układu Z80 CTC jest przedstawiony na rys. 1.

Układ składa się z bufora we-wy, układu sterującego, układu generacji przerw i czterech liczników wraz z ich układami sterowania. Układom licznikowym, zwanym kanałami, są przyporządkowane numery od 0 do 3. Kanał o numerze 0 ma najwyższy priorytet w systemie generacji przerw układu CTC. Układ Z80 można dołączyć bezpośrednio do magistrali

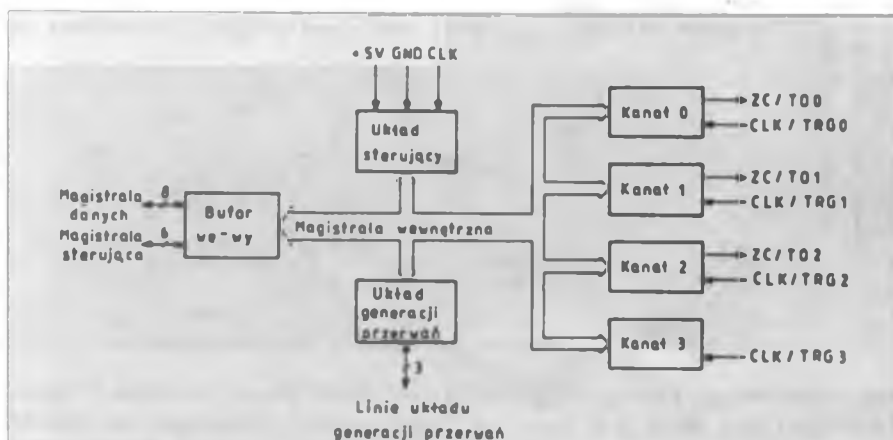
mikroprocesora. W większych systemach mikroprocesorowych może się okazać konieczne zastosowanie dekodera układów we-wy oraz wzmacniaczy linii danych, adresowych i sterujących.

Na rys. 2 przedstawiono schemat blokowy jednego z kanałów CTC, w skład którego wchodzi: 8-bitowy rejestr słowa sterującego, 8-bitowy rejestr stałej, 8-bitowy licznik zliczający wstecz i programowalny 8-bitowy dzielnik sygnału zegarowego.

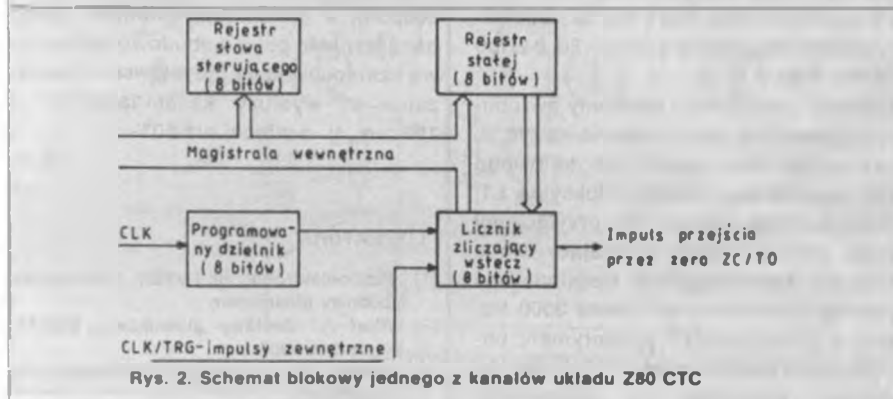
Rejestr słowa sterującego jest zapisywany przez CPU w celu zaprogramowania trybu pracy kanału. Stany sygnałów na wejściach CE, CS1, CS0 układu CTC określają, dla którego kanału jest przeznaczone aktualnie przesyłane słowo sterujące (tabl.). Wejścia CS0 i CS1 najczęściej są łączone z wyjściami A0 i A1 CPU. Sygnał CE może pochodzić z jednego z wyjść A3-A7 mikroprocesora lub z dekodera adresów układów we-wy.

Programowalny dzielnik impulsów zegarowych jest wykorzystywany tylko w czasowym trybie pracy. Umożliwia on dzielenie częstotliwości zegara systemowego przez 16 lub 256. Wyjście dzielnika jest połączone z wejściem licznika zliczającego wstecz. Osiągnięcie przez licznik stanu zerowego powoduje wygenerowanie impulsu na wyjściu ZC/TO i ponowne załadowanie licznika zawartością rejestru stałej. Zawartość 8-bitowego rejestru stałej jest ustalana programowo przez mikroprocesor bezpośrednio po załadowaniu rejestru słowa

Kanał	CE	CS1	CS0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1



Rys. 1. Schemat blokowy układu Z80 CTC



Rys. 2. Schemat blokowy jednego z kanałów układu Z80 CTC

sterującego. Zmiana zawartości rejestru stałej nie wpływa na pracę licznika. Licznik jest ładowany nową wartością dopiero po osiągnięciu stanu zerowego. W trybie czasowym zawartość licznika jest zmniejszana wskutek pojawienia się narastającego zbocza sygnału pochodzącego z programowalnego dzielnika impulsów zegarowych, a w trybie licznikowym — w wyniku pojawiania się narastającego zbocza impulsów zewnętrznych. Zawartość licznika może być w każdej chwili odczytana przez mikroprocesor. Istnieje możliwość zaprogramowania pracy każdego z kanałów CTC tak, że po osiągnięciu przez licznik stanu zerowego generowane jest przerwanie. Kanały 0, 1 i 2 zawsze generują w tym momencie impulsy na wyjściach ZC/TO. Kanał 3 nie ma wyjścia ZC/TO.

Schemat wyprowadzeń układu Z80 CTC jest przedstawiony na rys. 3.

D7-DO — trójstanowa, dwukierunkowa magistrala danych (ang. DATA BUS) używana do przesyłania słów sterujących i danych. DO jest najmniej znaczącym bitem.

CS1-CS0 — wejścia (ang. CHANNEL SELECT). Sygnały wybierające kanał podczas operacji zapisu i odczytu.

CE — wejście (ang. CHIP ENABLE). Stan aktywny — niski. Sygnał uaktywnienia układu. Niski stan na tym wejściu umożliwia przyjmowanie przez Z80 CTC

słów sterujących, wektorów przerwań, danych dla programowalnego dzielnika i rejestru stałej oraz odczyt stanów liczników. Wejście to jest łączone przeważnie z jedną z ośmiu linii A0-A7 systemu mikroprocesorowego lub z wyjściem dekodera adresów układów we-wy.

CLK — wejście (ang. CLOCK). Jednorazowy sygnał zegarowy. Układ Z80 CTC wykorzystuje sygnał zegarowy Z80 CPU. W zależności od wersji układu maksymalna częstotliwość sygnału zegarowego może wynosić 2,5 MHz (Z80 CTC), 4 MHz (Z80A CTC), 6 MHz (Z80B CTC).

M1 — wejście (ang. MACHINE CYCLE ONE). Stan aktywny — niski. Sygnał pierwszego cyklu maszynowego mikroprocesora. Niski stan na tym wejściu oraz na

wejściu RD oznacza, że CPU jest w trakcie pobierania rozkazu z pamięci. Jednoczesne pojawienie się niskich stanów na wejściach M1 i IORQ oznacza potwierdzenie przyjęcia przerwania przez mikroprocesor.

IORQ — wejście (ang. INPUT/OUTPUT REQUEST). Stan aktywny — niski. Sygnał odczytu lub zapisu do układu we-wy. Niski stan na tym wejściu oznacza, że liniami magistrali adresowej jest przesyłany adres układu we-wy. Niskie stany sygnałów na wejściach IORQ, CE i RD umożliwiają odczyt stanów liczników. Zapis słów sterujących i danych do CTC dokonuje się w czasie, gdy sygnały IORQ i CE są w stanie niskim, a sygnał RD w stanie wysokim. Niskie stany sygnałów IORQ i M1 informują o przyjęciu przerwania przez mikroprocesor.

RD — wejście (ang. READ). Stan aktywny — niski. Sygnał odczytu z pamięci lub układu we-wy. Wraz z sygnałami IORQ i CE służy do identyfikacji cyklu zapisu (RD = 1) i odczytu (RD = 0) z układu CTC.

IEI — wejście (ang. INTERRUPT ENABLE INPUT). Zezwolenie na generację przerwania. Wejście to jest używane do tworzenia łańcucha priorytetu przerwania w systemach zawierających więcej niż jeden układ we-wy serii Z80. Wysoki poziom sygnału na tym wejściu oznacza, że żaden inny układ we-wy o wyższym priorytecie nie jest obsługiwany przez mikroprocesor.

IEO — wyjście (ang. INTERRUPT ENABLE OUT). Stan aktywny — wysoki. Zezwolenie na generację przerwania. Sygnał IEO wraz z sygnałem IEI służy do tworzenia łańcucha priorytetu przerwania. Sygnał IEO przyjmuje stan wysoki tylko wtedy, gdy CPU nie obsługuje przerwania z danego układu CTC lub z układu o wyższym priorytecie.

INT — wyjście typu otwarty dren (ang. INTERRUPT REQUEST). Stan aktywny — niski. Sygnał zgłoszenia przerwania. Układ CTC może zgłaszać przerwanie po osiągnięciu stanu zerowego przez jeden z czterech liczników.

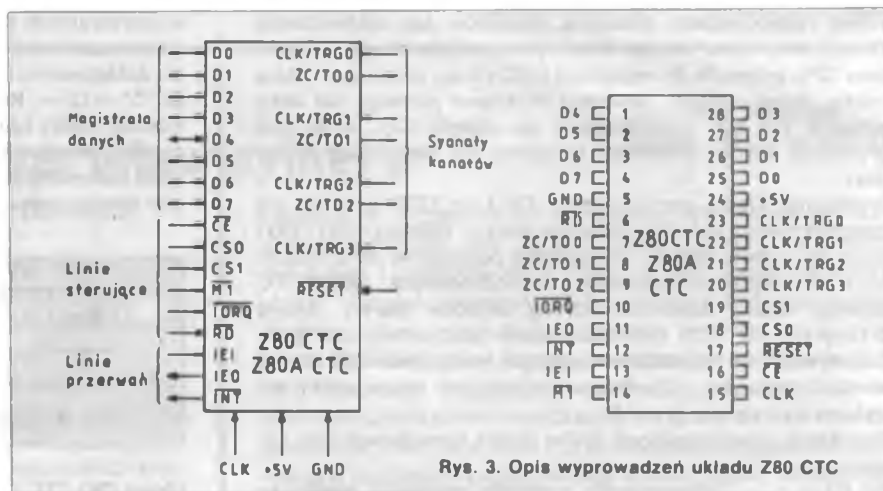
RESET — wejście (ang. RESET). Stan aktywny — niski. Sygnał zerowania układu CTC. Pojawienie się aktywnego stanu sygnału RESET powoduje:

- zablokowanie systemu generacji przerwania,
- ustawienie stanów nieaktywnych na wyjściach ZC/TO i INT oraz stanu wyjścia IEO w stan, w jakim znajduje się aktualnie sygnał IEI,
- zmianę stanu linii DO-D7 układu CTC w stan wysokiej impedancji.

CLK/TRG0-CLK/TRG3 — wejścia (ang. EXTERNAL CLOCK/TIMER TRIGGER). Stan aktywny jest wybierany programowo jako wysoki lub niski. Sygnał zegara zewnętrznego lub impulsów wyzwalających (kanał 0, 1, 2, 3). Zmiana stanu na tym wejściu z nieaktywnego na aktywny powoduje:

- w trybie licznikowym zliczanie wstecz,
- w trybie czasowym rozpoczęcie pomiaru czasu.

ZC/TO0-ZC/TO2 — wyjścia (ang. ZERO COUNT/TIMEOUT).



Rys. 3. Opis wyprowadzeń układu Z80 CTC

Stan aktywny — wysoki. Sygnał ten informuje o uzyskaniu przez licznik stanu zerowego (kanały 0, 1, 2).

Po włączeniu zasilania stan układu CTC jest nieokreślony. Przed rozpoczęciem odmierzenia czasu lub zliczanie impulsów każdy kanał musi być zaprogramowany przez wpisanie do odpowiednich rejestrów słowa sterującego i stałej, którą zostanie załadowany licznik. Jeżeli kanał został zaprogramowany tak, że ma generować przerwanie, to następnym bajtem wysłanym pod jego adres powinien być wektor przerwań. Wybór rodzaju pracy jest dokonywany niezależnie dla każdego z czterech kanałów.

W trybie licznikowym zliczane są impulsy doprowadzane do wejścia CLK/TRG. Początkowy stan licznika równy jest zawartości rejestru stałej, a zliczanie odbywa się wstecz w kodzie binarnym. Zdefiniowanie stanu aktywnego sygnału CLK/TRG odbywa się programowo (bit 4 słowa sterującego). Zmiana stanu licznika jest dokonywana podczas trwania narastającego zbocza sygnału zegarowego wskutek zmiany stanu sygnału CLK/TRG z nieaktywnego na aktywny. Wszystkie kanały, odpowiednio zaprogramowane, mogą generować przerwanie w wyniku wyzerowania ich liczników. W następnym taktie zegara, po osiągnięciu stanu zerowego, licznik jest załadowywany zawartością rejestru stałej. Zmiana zawartości rejestru stałej nie wpływa na pracę kanału do czasu osiągnięcia przez licznik stanu zerowego.

W trybie czasowym poszczególne kanały układu mogą być wykorzystywane do odmierzenia czasu z dokładnością równą szesnastu okresom zegara. Częstotliwość sygnału zegarowego jest dzielona przez 16 lub 256 w programowalnych dzielnikach. Wyjścia dzielników są połączone z wejściami liczników zliczających wstecz. Po zaprogramowaniu kanału licznik jest ładowany zawartością rejestru stałej (od 1 do 256). Powtarzanie jest to zawsze po osiągnięciu przez licznik stanu zerowego. Jednocześnie generowany jest na wyjściu ZC/TO impuls prostokątny o wypełnieniu 0,5 i okresie t:

$$t = t_c \cdot P \cdot T_c$$

przy czym:

t_c — okres zegara systemowego,

P — dzielnik częstotliwości (16 lub 256),

T_c — stała czasu (od 1 do 256).

Rozpoczęcie odmierzenia czasu możliwe jest dwoma sposobami:

— automatycznie, po wykonaniu cyklu zapisu do rejestru stałej,

— po załadowaniu rejestru stałej i zmianie stanu sygnału na wejściu CLK/TRG wraz z drugim narastającym zboczem sygnału zegarowego CLK.

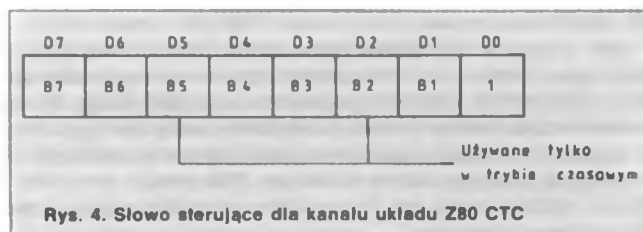
Jeżeli układ został zaprogramowany tak, że stała czasu jest zbędna, to odmierzenie czasu rozpoczyna się podczas trwania drugiego narastającego zbocza sygnału zegarowego, następującego po przesłaniu słowa sterującego i zmianie stanu sygnału na wejściu CLK/TRG. Rodzaj aktywnego zbocza sygnału CLK/TRG jest ustalany programowo.

Przed rozpoczęciem zliczania impulsów lub odmierzenia czasu każdy kanał układu musi być zaprogramowany. W tym celu CPU przesyła do rejestrów CTC słowo sterujące i stałą czasu. Jeżeli system generacji przerwań jednego lub kilku kanałów ma być odblokowany, do układu CTC musi być przesłany wektor przerwań (wspólny dla wszystkich kanałów).

Przesłanie słowa sterującego z CPU do CTC odbywa się podczas cyklu zapisu do układów we-wy. Wejścia CS0 i CS1 służą do wyboru kanału. W wypadku połączenia ich z liniami A0 i A1 magistrali adresowej mikroprocesora, układ CTC zajmuje cztery sąsiednie adresy układów we-wy. Słowo przesyłane do CTC jest traktowane jako słowo sterujące (zapisywane do rejestru sterującego) wtedy, jeżeli bit D0 ma wartość logiczną „1”. Pozostałe siedem bitów służy do wyboru trybu pracy (rys. 4).

Znaczenie poszczególnych bitów słowa sterującego jest następujące:

Bit D7 = 1 — Odblokowanie systemu generacji przerwań zarówno w trybie licznikowym, jak i czasowym.



Rys. 4. Słowo sterujące dla kanału układu Z80 CTC

Bit D7 = 0 — Zablokowanie systemu generacji przerwań.

Bit D6 = 1 — Wybór licznikowego trybu pracy. Licznik zlicza wstecz zbocza sygnału CLK/TRG. Programowalny dzielnik impulsów zegarowych nie jest używany.

Bit D6 = 0 — Wybór czasowego trybu pracy. Częstotliwość sygnału zegarowego jest dzielona w programowalnym dzielniku, którego wyjście jest połączone z wejściem licznika.

Bit D5 = 1 — Dzielnik częstotliwości równy 256 (tylko dla czasowego trybu pracy).

Bit D5 = 0 — Dzielnik częstotliwości równy 16 (tylko dla czasowego trybu pracy).

Bit D4 = 1 — Tryb czasowy: odmierzanie czasu rozpoczyna się narastającego zbocza sygnału na wejściu CLK/TRG. Tryb licznikowy: zmianę stanu licznika powoduje narastające zbocze sygnału na wejściu CLK/TRG.

Bit D4 = 0 — Tryb czasowy: odmierzanie czasu rozpoczyna się opadającego zbocza sygnału na wejściu CLK/TRG. Tryb licznikowy: zmianę stanu licznika powoduje opadające zbocze sygnału na wejściu CLK/TRG.

Bit D3 = 1 — (Tylko dla czasowego trybu pracy); zmiana stanu sygnału CLK/TRG na aktywny powoduje rozpoczęcie odmierzania czasu po zakończeniu cyklu zapisu do rejestru stałej od momentu pojawienia się drugiego narastającego zbocza sygnału zegarowego. Dzielnik częstotliwości sygnału zegarowego rozpoczyna działanie o dwa lub o trzy cykle zegarowe później.

Bit D3 = 0 — (Tylko dla czasowego trybu pracy); rozpoczęcie odmierzania czasu następuje po załadowaniu rejestru stałej w wyniku pojawienia się drugiego narastającego zbocza sygnału zegarowego.

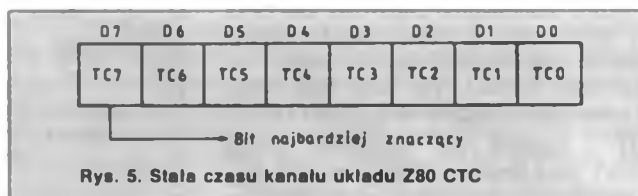
Bit D2 = 1 — Oznacza, że następnym bajtem przesłanym do CTC będzie stała czasu. Jeżeli w trakcie pracy do kanału CTC zostanie przesłane nowe słowo sterujące i stała czasu, to zmiany są wprowadzane dopiero po osiągnięciu stanu zerowego przez licznik. Jedynym sposobem na zmianę stałej czasu jest wysyłanie słowa sterującego, w którym bit D2 = 1. Bit D2 = 0 — Stała czasu nie będzie przesłana do kanału. Słowo sterujące, w którym bit D2 = 0 służy do ustalenia (zmiany) sposobu pracy kanału na taki, który nie wymaga stałej czasu.

Bit D1 = 1 — Zerowanie kanału: licznik przestaje liczyć, lecz jego stan zostaje nie zmieniony w stosunku do stanu przed

wyzerowaniem kanału. Jeżeli słowo sterujące przesłane do kanału zawiera bit D2 = 1 i D1 = 1, to kanał rozpocznie pracę po załadowaniu rejestru stałej czasu.

Bit D1 = 0 — Kanał nie jest zerowany.

Format stałej czasu, którą może być ładowany licznik, jest przedstawiony na rys. 5. Ośiem bitów umożliwia zakodowanie liczb całkowitych z przedziału od 1 do 256. Jeżeli wszystkie bity stałej czasu są zerami, to odpowiada ona liczbie 256.



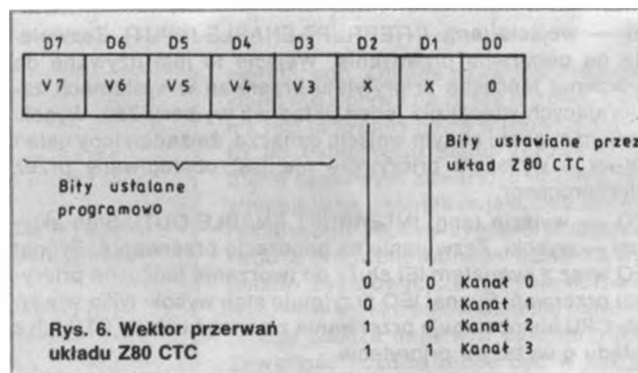
Rys. 5. Stała czasu kanału układu Z80 CTC

Układ Z80 CTC umożliwia współpracę z Z80 CPU w trybie 2 przyjmowania przerwań. Przed rozpoczęciem pracy należy do układu CTC przesłać wektor przerwań.

Każdy z czterech kanałów układu CTC może być zaprogramowany tak, aby generował przerwanie w wyniku osiągnięcia przez licznik stanu zerowego. System generacji przerwań zwalnia mikroprocesor z programowego sprawdzania stanów liczników układu CTC. Aby w pełni wykorzystać system przerwań należy zaprogramować CPU do pracy w trybie 2 przyjmowania przerwań (rozkaz IM 2). Układ CTC po otrzymaniu potwierdzenia przyjęcia przerwania wysyła na magistralę danych wektor przerwania, który służy do określenia adresu podprogramu obsługi przerwania.

Format wektora przerwania wysyłanego do CTC jest przedstawiony na rys. 6.

Wektor przerwania jest przesyłany do portu o adresie odpowiadającym kanałowi 0. Bit D0 = 0 odróżnia wektor przerwań od inicjującego pracę kanału słowa sterującego, którego bit



Rys. 6. Wektor przerwań układu Z80 CTC

D0 = 1. Wektor przerwania jest przechowywany w rejestrze wektora przerwań i automatycznie uzupełniany o adres kanału zgłaszającego przerwanie (bity D2 i D1) w momencie przesłania do magistrali danych.

Układ CTC, podobnie jak inne układy serii Z80, można łączyć w łańcuch priorytetu przerwań wykorzystując wejście IEI i wyjście IEO. Układ Z80 CTC realizuje wszystkie funkcje związane z rozstrzygnięciem priorytetu przerwań i właściwym powrotem z przerwania. Wewnętrzna struktura układu CTC uwzględnia również łańcuchowy system przerwań: najwyższy priorytet ma kanał 0, a najniższy kanał 3. Kanały o niższym priorytecie nie mogą przerywać obsługi przerwań pochodzących od kanałów o wyższym priorytecie.

LITERATURA

- [1] Fedyna K., Mizeracki M.: Układy mikroprocesorowe Z80, WKiŁ 1989
- [2] Misiurewicz P.: Układy mikroprocesorowe, WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe, WNT 1984
- [4] Zaks R.: Programming the Z80, Melbourne House Publisher 1981
- [5] Coffron J.W.: Practical hardware details of 8080, 8085, 6800, Z80, New York, Prentice Hall 1981

Układy mikroprocesorowe Z80 (4)

Układ bezpośredniego dostępu do pamięci Z80 DMA

mgr inż. Konrad Fedyna
mgr inż. Marek Mizeracki

Układ Z80 DMA jest programowalnym układem przeznaczonym do sterowania transmisją danych między urządzeniami We/Wy i pamięcią. Układ może przekazywać dane 8-bitowe, wykorzystując 16-bitową magistralę adresową. Możliwe są następujące rodzaje transmisji:

- między dwoma urządzeniami zewnętrznymi,
- między urządzeniem zewnętrznym i pamięcią,
- między dwoma obszarami pamięci.

Z80 DMA umożliwia również porównywanie wybranych obszarów pamięci lub danych pochodzących z urządzeń We-Wy z zadaniem bajtem o maskowalnych bitach. Możliwości układu Z80 DMA przedstawiono na rys. 1.

Układ Z80 DMA jest wykonany w technologii NMOS i umieszczony w obudowie DIL-40. Podstawowe cechy układu:

- transmisja, porównywanie oraz transmisja i porównywanie mogą przeplatać się z wykonywaniem rozkazów (ang. CYCLE STEALING), a także mogą odbywać się w sposób ciągły i w sposób warunkowy;
- czas transmisji może być dostosowany do możliwości urządzeń We/Wy;
- programowanie następnej operacji może być prowadzone bez zakłócania przebiegu operacji bieżącej;
- możliwość współpracy z mikroprocesorem, z wykorzystaniem łańcuchowego systemu priorytetu przerwań oraz łańcuchowego systemu priorytetu dostępu do magistrali danych i adresów;
- możliwość bezpośredniego przyłączenia wejść i wyjść układu DMA do magistrali systemu mikroprocesorowego;
- wszystkie sygnały wejściowe i wyjściowe odpowiadają poziomom logicznym TTL;
- zasilanie + 5 V;
- jednofazowy sygnał zegarowy

Układ Z80 DMA ma wejścia i wyjścia umożliwiające bezpośrednie połączenie z mikroprocesorem: 8 linii danych, 16 linii adresowych oraz linie sterujące: INT, BUSRQ, M1, IORQ, MREQ, RD, WR, CLK.

Wewnątrz układu Z80 DMA znajdują się:

- układ sterujący wraz z rejestrami, których zawartość decyduje o sposobie i trybie pracy,
- liczniki bajtów i rejestry adresów,
- układ czasowy, który umożliwia zmianę szybkości transmisji danych,
- układ porównań, w którym dane są porównywane z wcześniej określonym bajtem z uwzględnieniem bitów niezamaskowanych.

Układ zawiera rejestry porównywanego bajtu i maski.

- układ przerwań wraz z rejestrem warunków generacji przerwania oraz rejestrem wektora przerwań,
- układ priorytetu dostępu do magistrali systemu mikroprocesorowego,
- rejestry statusu DMA

Struktura układu Z80 DMA z punktu widzenia użytkownika-programisty jest inna, rys. 2. Wewnątrz układu znajduje się 21 rejestrów, do których zapisuje się słowa sterujące i dane dotyczące adresów portów i pamięci oraz 7 rejestrów statusu. Rejestry zapisu dzielą się na dwie grupy:

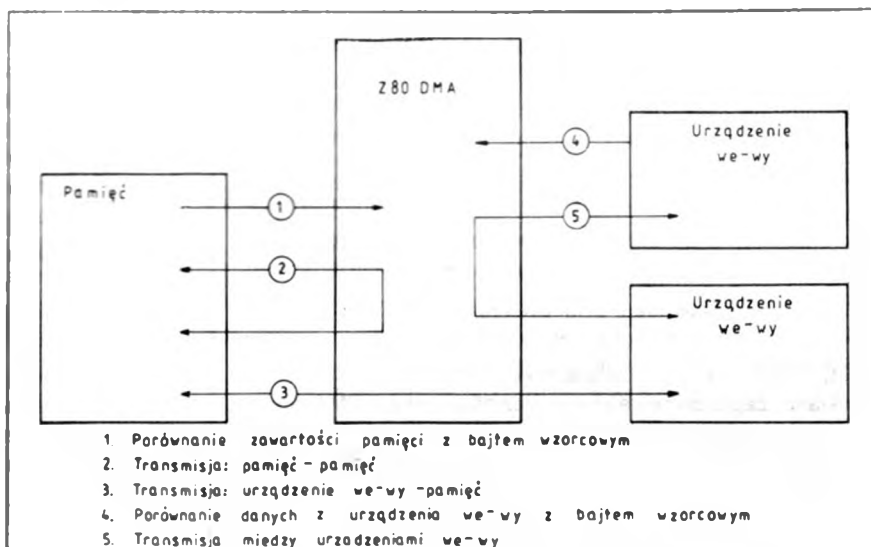
7 rejestrów podstawowych (WR 00, 10, 20, 30, 40, 50, 60), 14 rejestrów dodatkowych.

Zapis do rejestru dodatkowego możliwy jest po uprzednim wpisaniu odpowiedniego słowa do rejestru podstawowego. Odczyt rejestrów statusu odbywa się sekwencyjnie (ang. PIPELINING) według ściśle ustalonej kolejności.

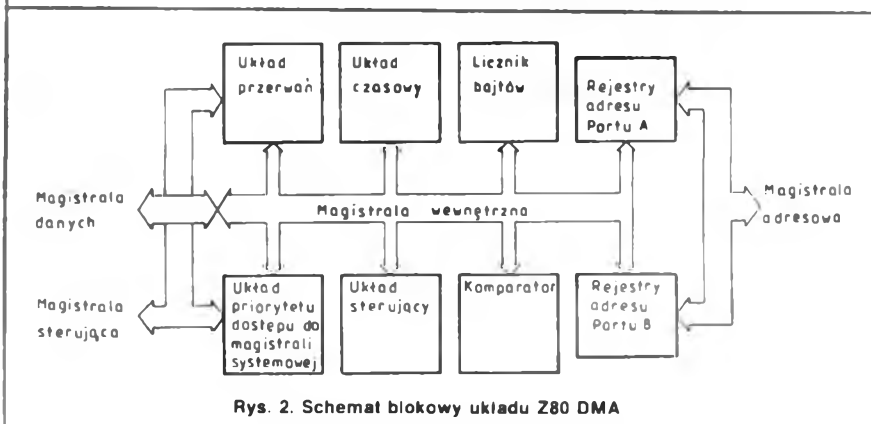
Oznaczenie wyprowadzeń układu Z80 DMA przedstawiono na rys. 3. Ich znaczenie omówiono poniżej.

AO-A15 — wyjścia trójstanowe (ang. SYSTEM ADDRESS BUSS). Linie te służą do przesyłania adresów urządzeń We/Wy lub komórek pamięci, między którymi mają być transmitowane dane.

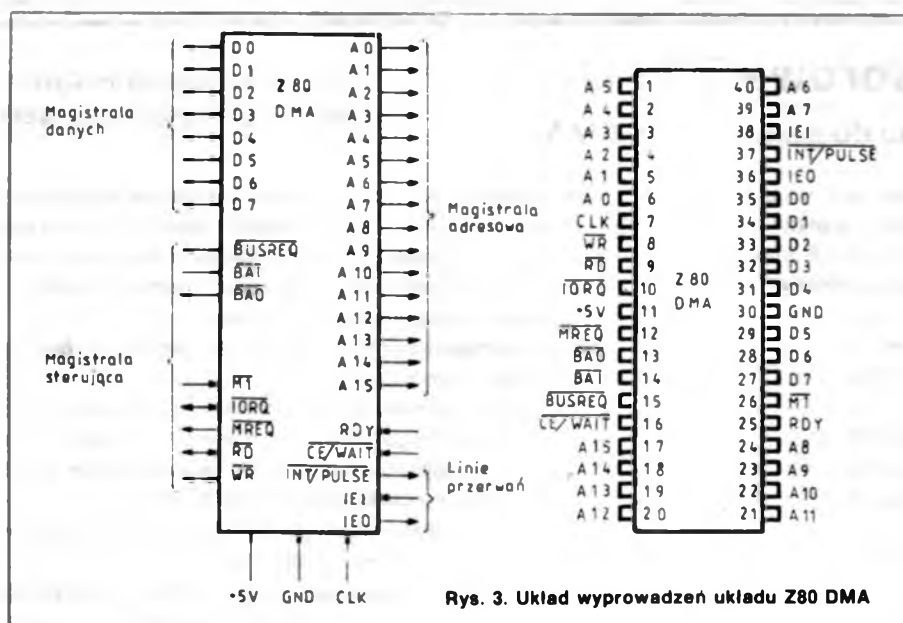
BAI — wejście (ang. BUS ACKNOWLEDGE INPUT). Stan aktywny-niski. Sygnał informujący DMA o zwolnieniu magistrali systemowej. Wejście BAI układu DMA o najwyższym priorytecie dostępu do magistrali systemu łączone jest z wyjściem BUSACK mikroprocesora. Wejście BAI układu o niższym priorytecie jest łączone z wyjściem BAO układu DMA o wyższym priorytecie.



Rys. 1. Podstawowe funkcje układu Z80 DMA



Rys. 2. Schemat blokowy układu Z80 DMA



Rys. 3. Układ wyprowadzeń układu Z80 DMA

BAO — wyjście (ang. BUS ACKNOWLEDGE OUTPUT). Stan aktywny-niski. Sygnał zwolnienia magistrali systemowej. Sygnał BAO wraz z sygnałem BAI służy do tworzenia łańcucha priorytetu dostępu do magistrali systemowej. Sygnał BAO przyjmuje stan niski wtedy, gdy dany układ DMA żąda lub aktualnie ma dostęp do magistrali systemowej oraz w przypadku, gdy sygnał BAI tego układu znajduje się w stanie niskim.

BUSRQ — wejście-wyjście, otwarty dren (ang. BUS REQUEST). Stan aktywny — niski. Jako wyjście linia służy do wysyłania sygnału żądania zwolnienia magistrali systemowej. Jeżeli system mikroprocesorowy zawiera więcej niż jeden układ DMA, wejście BUSRQ informuje o żądaniu zwolnienia magistrali systemowej wysyłanym przez inny układ DMA. Jeżeli jest to układ o wyższym priorytecie dostępu do magistrali systemowej (wtedy BAI = 0), to układ realizujący transmisję zwalnia magistralę systemową. Linie BUSRQ CPU i DMA, łączone przez wspólny rezystor z napięciem zasilania + 5 V realizują funkcję sumy logicznej.

CE/WAIT — wejście (ang. CHIP ENABLE/WAIT). Stan aktywny — niski. Sygnał wyboru układu. Aktywne stany sygnałów CE, IORQ i WR umożliwiają, po uprzednim zaadresowaniu układu, zapis do rejestrów i odczytów statusu DMA. Poza zwykłą funkcją wyboru układu CE, wejście to może służyć do opóźniania transmisji danych. Po uzyskaniu przez układ DMA dostępu do magistrali systemowej, niski stan na wejściu CE/WAIT powoduje wstawienie dodatkowych taktów zegarowych bez zmiany stanu sygnałów sterujących.

CLK — wejście. Sygnał zegarowy (ang. SYSTEM CLOCK). Układ Z80 DMA wykorzystuje zegar Z80 CPU. Dla wersji podstawowej Z80 DMA maksymalna częstotliwość zegara wynosi 2,5 MHz, dla wersji Z80A DMA — 4 MHz, dla wersji Z80B DMA — 6 MHz.

DO-D7 — wejścia/wyjścia trójstanowe (ang. SYSTEM DATA BUS). Linie te są łączone z magistralą danych Z80 CPU. Służą do przekazywania słów sterujących z mikroprocesora, odczytu zawartości rejestrów statusu DMA, transmisji danych między urządzeniami We/Wy lub określonymi obszarami pamięci.

IEI — wejście (ang. INTERRUPT ENABLE INPUT). Stan aktywny — wysoki. Sygnał zezwolenia na generację przerwania. Wejście to jest używane do tworzenia łańcucha priorytetu przerwania w systemach zawierających więcej niż jeden układ

We/Wy serii Z80. Wysoki poziom sygnału na tym wejściu oznacza, że żaden inny układ We/Wy o wyższym priorytecie nie jest obsługiwany przez mikroprocesor.

IEO — wyjście (ang. INTERRUPT ENABLE OUTPUT). Stan aktywny — wysoki. Sygnał zezwolenia na generację przerwania. Sygnał IEO wraz z sygnałem IEI służy do tworzenia łańcucha priorytetu przerwania. Sygnał IEO przyjmuje stan wysoki tylko wtedy, gdy mikroprocesor nie obsługuje przerwania zgłoszonego przez układ DMA lub układ o wyższym priorytecie.

INT — wyjście, otwarty dren (ang. INTERRUPT REQUEST). Stan aktywny — niski. Sygnał zgłoszenia przerwania.

IORQ — wejście/wyjście trójstanowe (ang. INPUT/OUTPUT REQUEST). Stan aktywny — niski. Sygnał obsługi układu

We/Wy. Jeżeli magistralą systemową steruje mikroprocesor, to niski stan na wejściach IORQ i CE/WAIT sygnalizuje, że liniami adresowymi jest przesyłany adres układu We/Wy. Jednoczesne pojawienie się niskich stanów na wejściach IORQ i M1 sygnalizuje przyjęcie przerwania przez mikroprocesor. W przypadku, gdy DMA steruje magistralą systemową, to niski stan sygnału IORQ oznacza, że liniami (mniej znaczącego bajtu) magistrali adresowej jest przesyłany adres urządzenia We/Wy, które bierze udział w transmisji danych.

M1 — wejście (ang. MACHINE CYCLE ONE). Stan aktywny — niski. Sygnał informujący, że mikroprocesor jest w trakcie pobierania rozkazu. Ponadto sygnał M1 spełnia dwie funkcje: — synchronizującą podczas dekodowania przez DMA rozkazu powrotu z przerwania wektoryzowanego RETI, — informacją o przyjęciu przerwania przez mikroprocesor (wraz z sygnałem IORQ).

MREQ — wejście/wyjście trójstanowe (ang. MEMORY REQUEST). Stan aktywny — niski. Sygnał informujący, że magistralą adresową jest przesyłany adres pamięci podczas cyklu odczytu lub zapisu.

RD — wejście-wyjście trójstanowe (ang. READ). Stan aktywny — niski. Sygnał odczytu z pamięci lub urządzenia We/Wy. Linia pracuje jako wejście w czasie, gdy kontrolę nad magistralą systemową sprawuje mikroprocesor. W czasie transmisji danych pod kontrolą DMA, linia RD pracuje jako wyjście.

WR — wejście-wyjście trójstanowe (ang. WRITE). Stan aktywny — niski. Sygnał zapisu do pamięci lub urządzenia We/Wy. Linia pracuje jako wejście w czasie, gdy kontrolę nad magistralą systemową sprawuje mikroprocesor. W czasie transmisji danych pod kontrolą DMA, linia WR pracuje jako wyjście.

RDY — wejście (ang. READY). Sygnał informujący o gotowości urządzenia We-Wy. Stan aktywny sygnału można ustalić programowo.

Układ Z80 DMA może być wykorzystany do realizacji następujących zadań:

- transmisji danych, — porównywania wczytanych danych z określonym bajtem wzorcowym, — transmisji i porównywania. W czasie transmisji dane są wczytywane do bufora Z80 DMA z urządzenia zewnętrznego lub pamięci o adresie określonym w porcie A lub B i wysyłane do urządzenia zewnętrznego lub

pamięci o adresie określonym w porcie B lub A. Podczas prównywania dane są wczytywane do bufora, lecz nie są przesyłane do urządzenia zewnętrznego lub pamięci. Układ maskowania wraz z rejestrem maski umożliwia porównywanie tylko niektórych bitów danych z odpowiadającymi im bitami bajtu wzorcowego. Po odnalezieniu bajtu zgodnego z bajtem wzorcowym, ustawiany jest odpowiedni bit w rejestrze statusu DMA. Jeżeli układ został odpowiednio zaprogramowany, to zwalnia magistralę systemową i generuje przerwanie. Transmisja z porównaniem jest kombinacją wyżej opisanych sposobów pracy. Układ Z80 DMA może realizować następujące rodzaje transmisji i porównań:

- przeplataną wykonywaniem rozkazów przez mikroprocesor. Po przesłaniu każdego bajtu układ Z80 DMA zwalnia magistralę systemową i żąda go ponownie. Proces ten jest powtarzany do momentu przesłania całego bloku danych;
- warunkową, w zależności od stanu wejścia RDY. Jeżeli sygnał RDY osiągnie stan zaprogramowany wcześniej jako nieaktywny, wówczas DMA kończy aktualnie wykonywaną operację przesyłania danych i zwalnia magistralę systemową;

- ciągłą, która trwa nieprzerwanie do czasu przesłania ostatniego bajtu wcześniej określonego bloku danych. Jeżeli na linii RDY pojawi się stan nieaktywny, to DMA zawiesza transmisję nie zwalniając magistrali systemowej do czasu ponownego uaktywnienia tego sygnału.

Po wczytaniu bajtu przez układ Z80 DMA transmisja musi być zakończona bez względu na stan linii sterujących oraz wejścia RDY. Uwaga ta dotyczy wszystkich rodzajów pracy. Ze względu na specyficzną metodę buforowania danych przed zakończeniem transmisji bajtu, wczytywany jest bajt następny. W rezultacie przesyłany blok danych nie może być krótszy niż dwa bajty. Programowana długość bloków danych powinna być mniejsza o jeden w stosunku do żądanej.

Układ Z80 DMA umożliwia programową zmianę długości cyklu odczytu i zapisu. Właściwość ta umożliwia przystosowanie szybkości transmisji do szybkości urządzeń zewnętrznych bez użycia dodatkowych elementów elektronicznych. Cykl zapisu lub odczytu przez układ Z80 DMA może być równy dwóm, trzem lub czterem cyklom zegara systemowego. Dodatkowe wydłużenie cyklu jest możliwe dzięki wejściu CE/WAIT. Istnieje możliwość wcześniejszej, o pół cyklu zegarowego, generacji aktywnych (narastających) zboczy sygnałów IORQ, MREQ, RD i WR.

W czasie transmisji danych Z80 DMA generuje dwa adresy 16-bitowe: dla portu A i B. Adresy te mogą być stałe lub zmienne podczas transmisji. Adresy zmienne są uzyskiwane przez zwiększanie lub zmniejszanie o jeden adresu początkowego. Adres źródła danych jest wysyłany do magistrali adresowej podczas cyklu odczytu, a adres przeznaczenia — podczas cyklu zapisu. Układ Z80 DMA można tak zaprogramować, że po przesłaniu całego bloku danych, do liczników adresów automatycznie ładowane są adresy początkowe, a licznik bajtów jest zerowany. Opcja ta uwalnia CPU od wielokrotnego wpisywania adresów początkowych portów i jednocześnie umożliwia ich zmianę podczas transmisji. Istnieje możliwość generowania przez układ Z80 DMA sygnałów informujących układy zewnętrzne o liczbie przesłanych bajtów. Sygnały te mogą być generowane po przesłaniu od 1 do 256 bajtów. Do wysłania tych sygnałów jest użyte wyjście INT. Mylna interpretacja przez mikroprocesor niskiego stanu na linii INT jest niemożliwa, gdyż w czasie transmisji linie BUSRQ i BUSAK są w stanie niskim.

Układ Z80 DMA może znajdować się w dwóch stanach: aktywnym i nieaktywnym. W stanie aktywnym układ może

przejmować kontrolę nad magistralą systemową i przeprowadzać transmisję lub porównanie danych. Słowa sterujące mogą być wpisywane do układu DMA zarówno w stanie aktywnym jak i nieaktywnym. Wpisanie słowa sterującego do DMA powoduje automatyczne przejście układu do stanu nieaktywnego, w którym pozostaje do czasu otrzymania uaktywniającego słowa sterującego. Układ DMA przechodzi do stanu nieaktywnego również bezpośrednio po włączeniu napięcia zasilania lub po wyzerowaniu. Zaprogramowanie układu Z80 DMA następuje w wyniku wysłania przez mikroprocesor sekwencji słów sterujących, np. rozkazem OTIR. Słowa sterujące mogą być wprowadzane do podstawowych rejestrów zapisu w dowolnym momencie i w dowolnej kolejności. Bity D7, D1 i D0 słów sterujących przesyłanych do układu Z80 DMA określają, do którego rejestru podstawowego słowa te mają być wpisane. Dostęp do dodatkowych rejestrów zapisu jest uzależniony od stanu bitów rejestrów podstawowych i następuje bezpośrednio po zapisie słowa sterującego do rejestru podstawowego.

Rejestry zapisu spełniają następujące funkcje:

- WR 00 — rejestr podstawowy rejestrów WR 01, 02, 03, 04,
- WR 01 — rejestr młodszego bajtu adresu początkowego portu A
- WR 02 — rejestr starszego bajtu adresu początkowego portu A
- WR 03 — rejestr młodszego bajtu określającego długość bloku danych,

- WR 04 — rejestr starszego bajtu określającego długość bloku danych,

- WR 10 — rejestr podstawowy rejestru WR 11. Wybór rodzaju adresu dla portu A,

- WR 11 — rejestr, którego zawartość określa czas obsługi portu A,

- WR 20 — rejestr podstawowy rejestru WR 21,

- WR 21 — rejestr, którego zawartość określa czas obsługi portu B,

- WR 30 — rejestr podstawowy rejestrów WR 31, 32,

- WR 31 — rejestr maski,

- WR 32 — rejestr bajtu wzorcowego,

- WR 40 — rejestr podstawowy rejestrów WR 41, 42, 43, 44, 45,

- WR 41 — rejestr młodszego bajtu adresu początkowego portu B,

- WR 42 — rejestr starszego bajtu adresu początkowego portu B,

- WR 43 — rejestr słowa kontrolnego dla systemu przerwań,

- WR 44 — rejestr słowa kontrolnego dla systemu generacji impulsów ilości przesłanych bajtów,

- WR 45 — rejestr wektora przerwań,

- WR 50 — rejestr podstawowy,

- WR 60 — rejestr podstawowy rejestru WR 61,

- WR 61 — rejestr maski dla operacji odczytu rejestrów statusu.

Na rys. 4 ÷ 9 przedstawiono słowa sterujące, które umożliwiają zaprogramowanie układu Z80 DMA. Pionowe strzałki na rysunkach określają kolejność dostępu do rejestrów dodatkowych. Zapis słowa sterującego do rejestru dodatkowego jest możliwy po wpisaniu „1” na odpowiedniej pozycji w słowie sterującym rejestru podstawowego.

Łańdowanie stałego adresu, pod który dane mają być przesyłane, wymaga wysłania następującej sekwencji słów sterujących (dla transmisji z portu A do B):

- 01H do rejestru WR 00

- CFH do rejestru WR 60

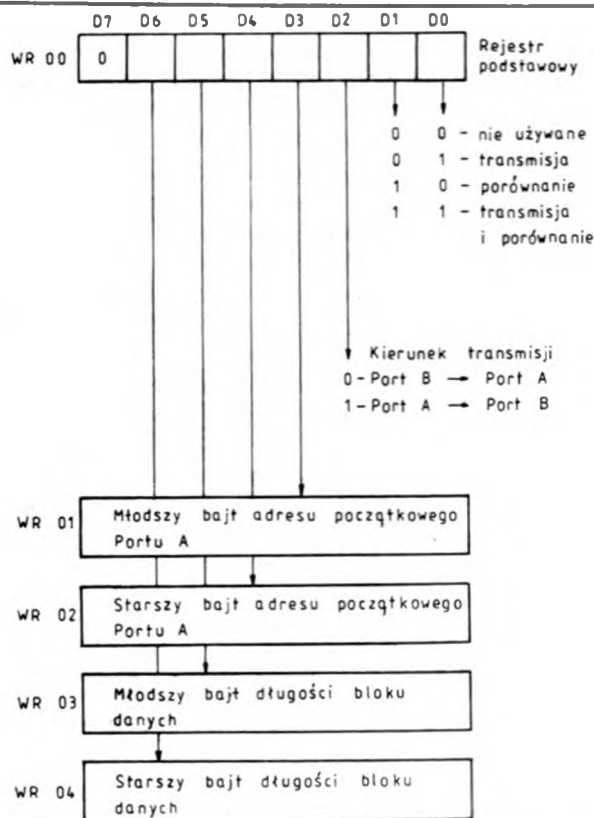
- 05H do rejestru WR 00

- CFH do rejestru WR 60

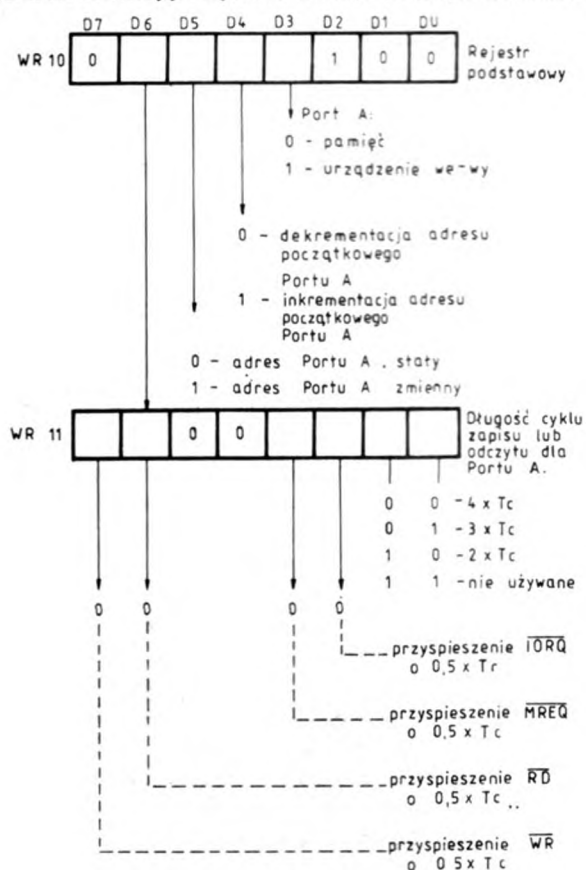
- 87H do rejestru WR 60

Istnieje możliwość odczytu informacji o stanie układu Z80 DMA. Do tego celu służą następujące rejestry odczytu:

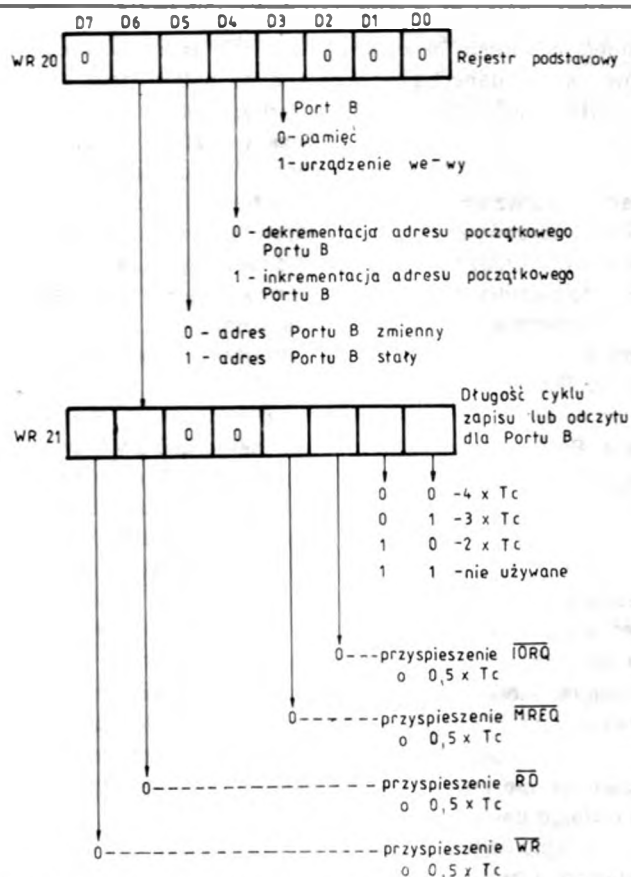
- RR0 — rejestr statusu Z80 DMA.



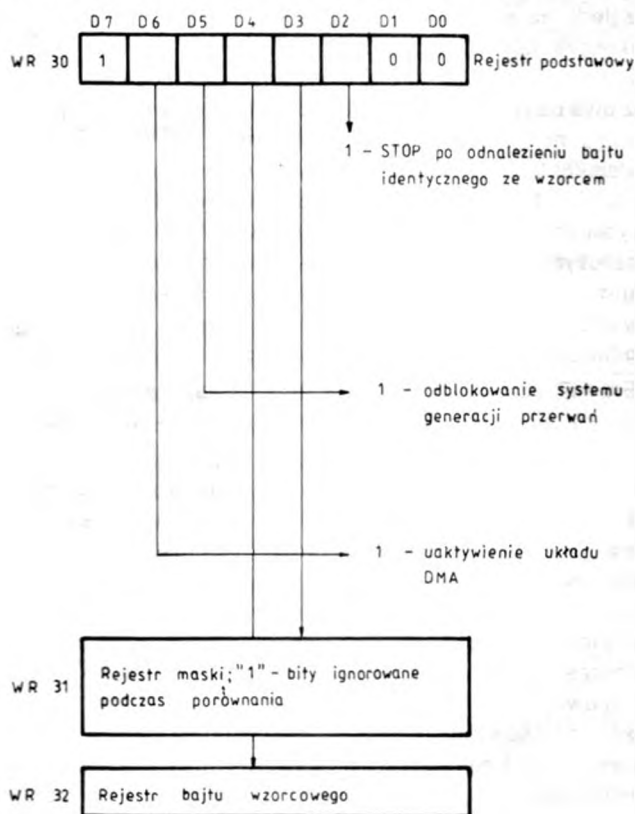
Rys. 4. Słowo sterujące rejestrów WR 00, 01, 02, 03, 04 układu Z80 DMA



Rys. 5. Słowo sterujące rejestrów WR 10 i WR 11 układu Z80 DMA



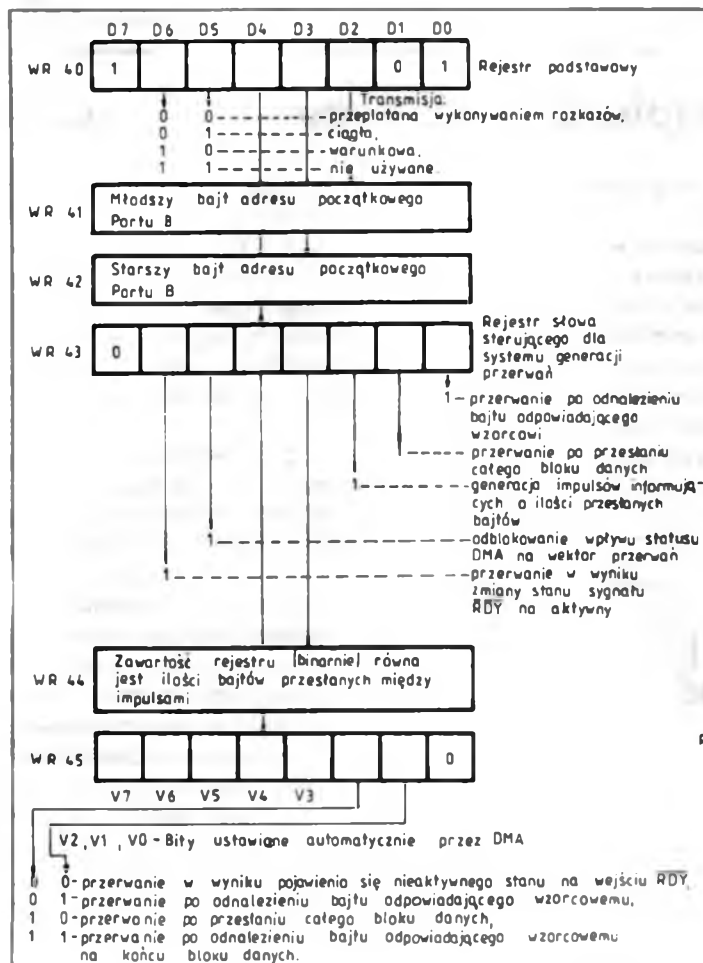
Rys. 6. Słowo sterujące rejestrów WR 20 i WR 21 układu Z80 DMA



Rys. 7. Słowo sterujące rejestrów WR 30, 31, 32 układu Z80 DMA

RR1 — licznik bajtów (bajt młodszy),
RR2 — licznik bajtów (bajt starszy),
RR3 — rejestr adresu portu A (bajt młodszy),
RR4 — rejestr adresu portu A (bajt starszy),
RR5 — rejestr adresu portu B (bajt młodszy),
RR6 — rejestr adresu portu B (bajt starszy).
Wczytanie zawartości rejestrów RR0-RR6 jest inicjowane przez wpisanie słowa sterującego AFH do rejestru WR6.

Słowo sterujące BFH wpisane do tego rejestru umożliwia odczyt tylko rejestru stanu RR0, rys. 10. Kolejność odczytu jest zawsze taka sama: pierwszy RR0, ostatni RR6. Odczytywane są tylko te rejestry, których odczyt został wcześniej uwzględniony w słowie sterującym rejestru WR61.
Układ Z80 DMA można zaprogramować tak, aby generował przerwanie w następujących przypadkach:
— po pojawieniu się stanu aktywnego na linii RDY,

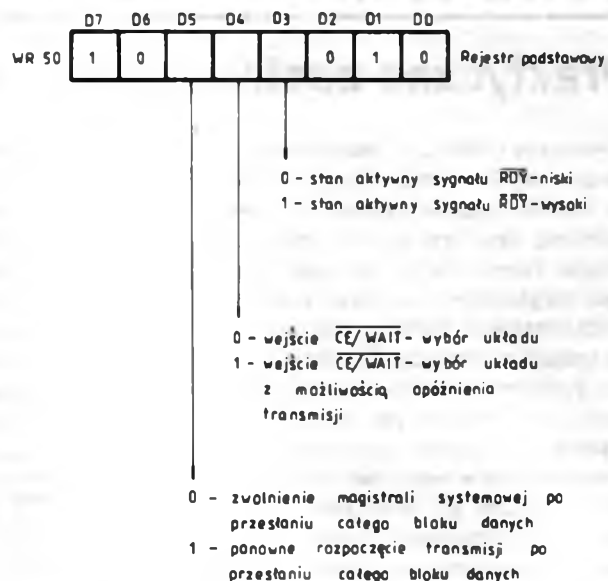


Rys. 8. Słowo sterujące rejestrów WR 40, 41, 42, 43, 44, 45, układu Z80 DMA

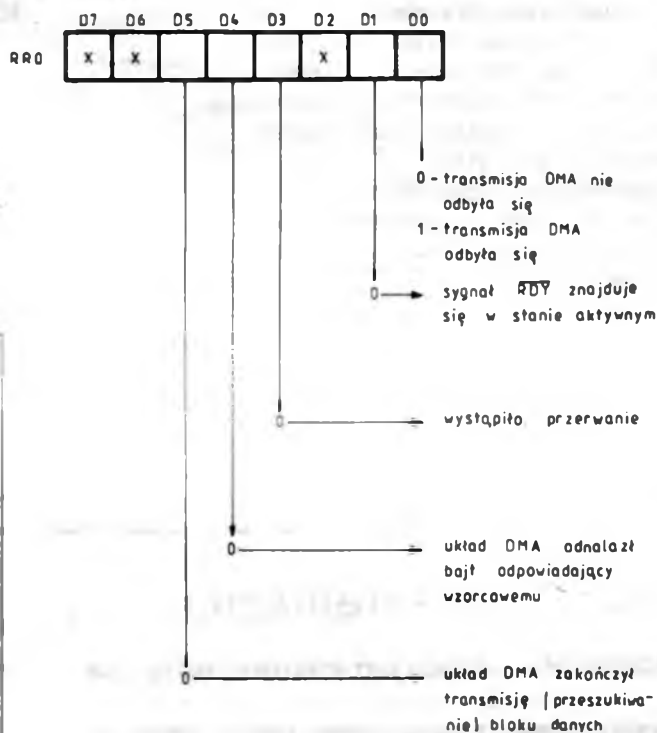
- po odnalezieniu bajtu zgodnego z bajtem wzorcowym.
- po przestaniu całego bloku danych.
- po odnalezieniu bajtu zgodnego z bajtem wzorcowym na końcu bloku.

Każdy z tych przypadków powoduje ustawienie bitu lub bitów w rejestrze statusu Z80 DMA. Ze względu na sposób buforowania danych w układzie DMA ostatnim porównywanym bajtem jest przedostatni bajt bloku danych. Przerwania spowodowane pojawieniem się stanu aktywnego na wejściu RDY nie wpływa na stan linii BUSRQ. Przejęcie kontroli przez Z80 DMA nad magistralą systemową jest inicjowane przez mikroprocesor w czasie obsługi przerwania. Do rejestru WR 60 wysyłane zostają kolejno słowa sterujące B7H 87H, które powodują uaktywnienie układu Z80 DMA dopiero po zdekodowaniu rozkazu RETI.

System przerwań układu Z80 DMA podobnie jak systemy przerwań innych układów serii Z80 umożliwia generowanie przerwań wektoryzowanych. Format wektora przerwań przesyłanego do układu Z80 DMA przedstawiono na rys. 8. Dostęp do rejestru WR 45 jest możliwy po uprzednim wpisaniu do rejestru WR 40 słowa sterującego, w którym bit D4 = 1. Bity V7-V3 wektora przerwań są ustalone przez programistę, a bity V2 i V1 są uzupełniane przez układ Z80 DMA w zależności od rodzaju przerwania. Po uzyskaniu potwierdzenia o przyjęciu przerwania przez mikroprocesor (M1 = 0 i IORQ = 0), układ Z80 DMA wysyła wektor przerwania do magistrali danych. Mikroprocesor łącząc zawartość rejestru I (bajt starszy) i wektor przerwania (bajt młodszy), identyfikuje adres obszaru pamięci, w którym przechowywany jest adres obsługi przerwania. Adres ten składa się również z dwóch bajtów i dlatego w wektorze przerwań najmniej znaczący bit (V0) ma wartość logiczną „0”.



Rys. 9. Słowo sterujące rejestru WR 50 układu Z80 DMA



Rys. 10. Rejestr stanu układu Z80 DMA

Wykorzystując wejście IEI i wyjście IE0, układ Z80 DMA można umieścić w łańcuchu priorytetu przerwań. System przerwań układu Z80 DMA zapewnia rozstrzygnięcie priorytetu przerwań oraz powrót z przerwania przez zdekodowanie rozkazu RETI (EDH, 4DH) wprost z magistrali danych systemu. Szczegółowy opis cykli roboczych i przebiegów czasowych Z80 DMA można znaleźć w pracy [1]. Układ pobiera ze źródła zasilania prąd w zależności od wersji w granicach 150-200 mA. Z80 DMA produkowany w NRD ma oznaczenie U858D.

LITERATURA

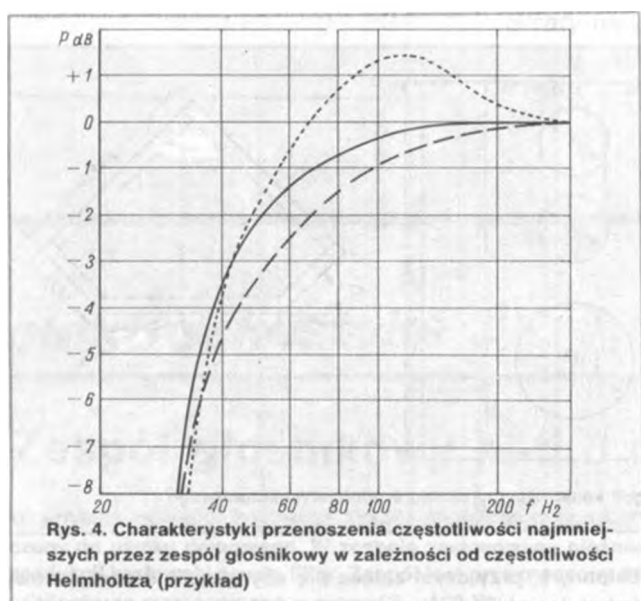
- [1] Fedyna K., Mizeracki M.: Układy mikroprocesorowe Z80, WKiŁ 1989
- [2] Misiurewicz P.: Układy mikroprocesorowe, WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe, WNT 1984
- [4] Zaks R.: Programming the Z80, Melbourne House Publisher 1981
- [5] Coffron J.: Practical hardware details of 8080, 8085, 6800, Z80, New York, Prentice Hall 1981

Wykończenie zespołu głośnikowego jest dowolne, zależne od możliwości konstruktora. Najlepszy efekt daje samoprzylepna okleina drewnopodobna.

Próby i regulacja

Po zmontowaniu i zestawieniu zespołów przeprowadzamy wstępne próby odsłuchu, każdego zespołu oddzielnie, przełączając wzmacniacz na sygnał monofoniczny. Po przesłuchaniu kilku różnych utworów muzycznych dobiera się optymalną wartość rezystora R_2 . Może się okazać, że jest on w ogóle zbędny. Jeżeli przenoszenie tonów średnich okaże się niedostateczne, pojemność kondensatora C_2 można zwiększyć do $14,7 \mu F$ (przez przyłączenie równolegle kondensatora o pojemności $4,7 \mu F$).

Na działanie głośnika niskotonowego istotny wpływ ma rezystancja cewki L_1 . Im wartość tej rezystancji jest mniejsza, tym lepiej. Jeżeli więc cewkę tę wykonuje się jako powietrzną, należy zastosować drut o dużej średnicy, np. 1,4 mm. Sposób wykonania cewek z rdzeniem ferrytowym jest podany w [5].



Duża rezystancja cewki i przewodów łączących zespół głośnikowy ze wzmacniaczem pogarsza odtwarzanie przebiegów impulsowych (bębnom i kontrabasowi brak tzw. „suchych basów”).

Obudowa wykonana odbiega od zaprojektowanej teoretycznie. Bardzo duży wpływ na działanie zespołu głośnikowego ma dobór właściwej częstotliwości rezonansu Helmholtza obudowy głośnika niskotonowego. Na rys. 4 są przedstawione charakterystyki przenoszenia tonów niskich tego samego zespołu głośnikowego przy różnym nastrojeniu obudowy z otworem, czyli różnej długości tunelu. Przy zbyt długim tunelu przenoszenie częstotliwości najmniejszych wyraźnie się pogarsza. Przy zastosowaniu zbyt krótkiego tunelu basy są nadmiernie uwypuklone (słyszalne są tzw. „bumsy”). W związku z tym konieczny jest dobór długości tunelu w każdym z dwóch zespołów głośnikowych. Jeżeli dysponujemy generatorem akustycznym, można zbadać jaka jest częstotliwość rezonansu Helmholtza przyklejając u wylotu tunelu parę pasków z bibułki papierowej. Amplituda drgań tych pasków umożliwia określenie częstotliwości rezonansu Helmholtza obudowy z otworem. Wartość tej częstotliwości może być określona także z pomiaru impedancji wejściowej zespołu głośnikowego w zakresie częstotliwości 20 – 100 Hz. Sposoby pomiaru impedancji są podane w [4] i [6].

Po przeprowadzeniu prób i regulacji każdego z zespołów głośnikowych należy wybrać najlepsze ich ustawienie w pomieszczeniu i przeprowadzić w okresie kilku dni ostateczne próby działania obu zespołów przy odtwarzaniu stereofonicznych audycji muzycznych. Wskazówki wykonywania tego rodzaju prób są podane w [6] i [7].

Człon niskotonowy może być również wykorzystany jako obudowa zamknięta, po szczelnym zamknięciu otworu tunelu. Częstotliwość rezonansowa głośnika w obudowie wyniesie wówczas około 50 Hz, a dobroć będzie miała wartość około 0,6, bardzo korzystną pod względem przenoszenia przebiegów impulsowych. Do bardzo dobrego przenoszenia basów jest wówczas potrzebny odpowiedni, aktywny korektor, basów, włączony przed wzmacniaczem mocy zasilającym zespół głośnikowy.

A.W

LITERATURA

- [1] Witort A.: Obudowy głośnikowe z otworem. „Radioelektronik” nr 1/1990
- [2] Witort A.: Obliczanie zamkniętych obudów głośnikowych. „Radioelektronik” nr 6/1988
- [3] Witort A.: Zniekształcenia fazowe zespołów głośnikowych. „Radioelektronik” nr 1/1986
- [4] Witort A.: Amatorskie zespoły głośnikowe. „Radioelektronik” numery 5 – 7/1985
- [5] Żuk J.: Zespół głośnikowy hi-fi. „Radioelektronik” nr 9/1985
- [6] Witort A.: Zestawy głośnikowe. NOT-SIGMA, Warszawa 1986
- [7] Witort A.: Dźwięk i technika hi-fi. NOT-SIGMA, Warszawa 1988

parzystości (nieparzystości), błędu bitu stopu (ang. FRAMING ERROR), błędu przepełnienia bufora odbiornika (ang. OVERRUN ERROR).

- Możliwość przesyłania synchronicznego znaków zawierających 5, 6, 7 lub 8 bitów według protokołów IBM Bisync, SDLC, HDLC i CCITT-x25 wraz z automatycznym sprawdzeniem poprawności kodowania nadmiarowego (ang. CYCLIC REDUNDANCY CHECK) i generacją lub usuwaniem znaków synchronizacji.

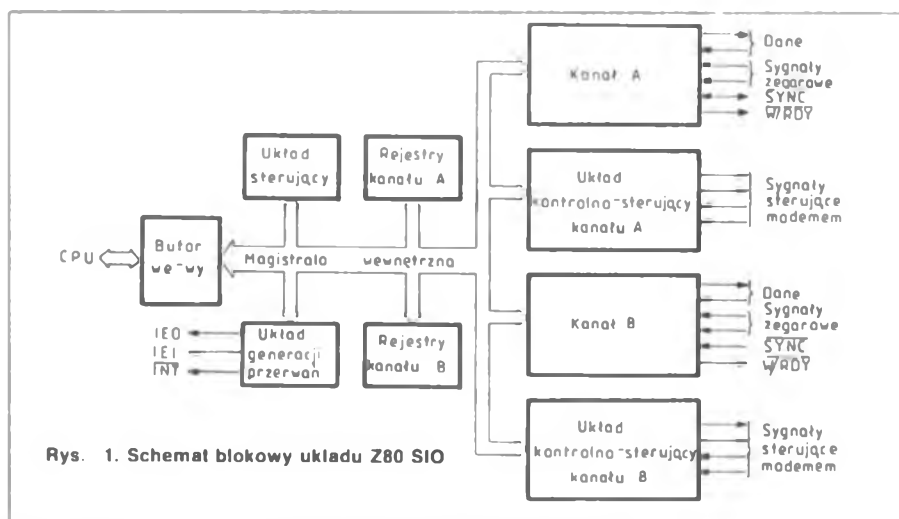
- Każdy z kanałów ma cztery rejestry buforowe dla danych odbieranych i dwa dla danych nadawanych.

- Możliwość generowania przerwań zwykłych oraz wektoryzowanych pod kontrolą łańcuchowego systemu priorytetu przerwań.

- Wszystkie sygnały wejściowe i wyjściowe odpowiadają poziomom logicznym układów TTL.

- Zasilanie: +5 V.

- Jednofazowy sygnał zegarowy.



Rys. 1. Schemat blokowy układu Z80 SIO

Schemat blokowy układu Z80 SIO jest przedstawiony na rys. 1. W skład układu wchodzi:

- dwa niezależne kanały transmisji,
- dwa układy kontrolno-sterujące linii we/wy,
- dwa zestawy rejestrów sterujących i stanu,
- układ sterujący,
- układ generacji przerwań,
- bufor wejścia/wyjścia.

Zestaw rejestrów sterujących kanału zawiera: rejestry zapisu WR0-WR7 oraz rejestry odczytu RRO-RR2. W rejestrach tych są przechowywane następujące informacje:

WR0 — określenie dostępu do innych rejestrów, zerowanie układów

WR1 — określenie trybu pracy i sposobu generacji przerwań

WR2 — wektor przerwań (tylko kanał B)

WR3 — parametry odbioru

WR4 — parametry odbioru i nadawania

WR5 — parametry nadawania

WR6 — znak synchronizacji lub adres SDLC

WR7 — znak synchronizacji lub znacznik końca i początku SDLC

RR0 — stan bufora nadawnika i odbiornika oraz stan przerwań i sygnałów sterujących transmisją

RR1 — wskaźniki błędów i liczby odbieranych bitów w znaku

RR2 — zmodyfikowany wektor przerwań (tylko kanał B).

Sygnały układów kontrolno-sterujących obu kanałów są zwykle wykorzystywane do zapewnienia współpracy Z80 SIO z modemami. Oczywiście możliwe jest wykorzystywanie ich do innych celów.

Są to:

RTS — (ang. REQUEST TO SEND), sygnał wyjściowy żądania rozpoczęcia nadawania danych przez układ Z80 SIO

CTS — (ang. CLEAR TO SEND), sygnał wejściowy zezwolenia na rozpoczęcie nadawania danych przez układ Z80 SIO

DCD — (ang. DATA CARRIER DETECT), sygnał wejściowy gotowości do przesyłania danych do układu Z80 SIO

DTR — (ang. DATA TERMINAL READY), sygnał wyjściowy gotowości do odbioru danych przez układ Z80 SIO.

Na rys. 2 przedstawiono schematy blokowe nadajnika i odbiornika jednego z kanałów układu Z80 SIO. Odbiornik oprócz rejestru przesuwającego, w którym są kompletowane bity znaku, ma także trzy dodatkowe rejestry buforowe dla danych i trzy rejestry z informacjami o błędach. Dzięki temu mikroprocesor ma cztery razy więcej czasu na obsługę przerwania spowodowanego rozpoczęciem transmisji. W razie gdy mikroprocesor (lub układ DMA) nie zdąży odczytać danych z pełnego bufora przed odebraniem następnego znaku, sygnalizowany jest błąd przepełnienia bufora OE (ang. OVERRUN ERROR).

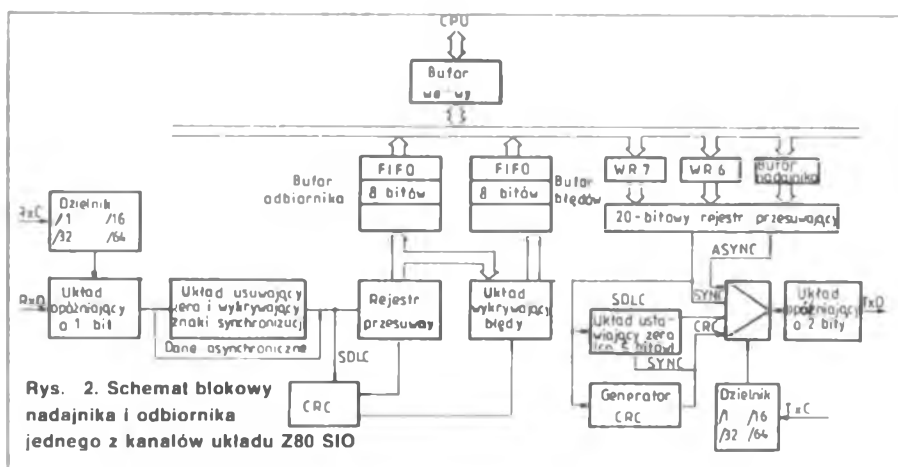
Dane z wejścia RxD są wprowadzane do różnych układów w zależności od tego, jaki rodzaj transmisji i protokołu został wcześniej zaprogramowany. W wypadku transmisji asynchronicznej dane po odrzuceniu bitów startu, stopu i parzystości są wprowadzane do rejestru. Podczas transmisji synchronicznej MONOSYNC (z jednym znakiem synchronizacji) i

BISYNC (z dwoma znakami synchronizacji) usuwane są znaki synchronizacji, a podczas transmisji według protokołów SDLC i HDLC zera synchronizujące.

Niezależnie można zaprogramować układ tak, aby sprawdzał poprawność kodowania nadmiarowego CRC lub nie.

Nadajnik jest wyposażony w 20-bitowy rejestr przesuwający, który może być ładowany zawartością bufora nadawnika oraz rejestrów WR7 i WR6. W zależności od rodzaju protokołu realizowanej transmisji rejestry te zawierają:

- znak synchronizujący dla protokołu MONOSYNC (WR6),
- pierwszy (WR6) i drugi (WR7) znak synchronizujący dla protokołu BISYNC,



Rys. 2. Schemat blokowy nadajnika i odbiornika jednego z kanałów układu Z80 SIO

— znacznik początku i końca (WR7) oraz adres (WR6) transmisji dla protokołów SDLC i HDLC.

Do wyjścia multiplexera jest doprowadzany sygnał odpowiadający wybranemu rodzajowi transmisji. Dzięki programowalnemu dzielnikowi można ustalić prędkość transmisji na

równą $1 \text{ bit} \times f_c$, $1 \text{ bit} \times f_c/16$, $1 \text{ bit} \times f_c/32$ lub $1 \text{ bit} \times f_c/64$, przy czym f_c jest częstotliwością sygnałów RxC (odbiór) lub TxC (nadawanie).

Rozmieszczenie i oznaczenie wyprowadzeń trzech odmian układu Z80 SIO są przedstawione na rys. 3, 4 i 5. Ze względu na

założoną liczbę 40 wyprowadzeń poszczególne wersje Z80 SIO charakteryzują się:

Z80 SIO/0 — brakiem wejścia/wyjścia SYNCB

Z80 SIO/1 — brakiem wyjścia DTRB

Z80 SIO/2 — połączeniem wejść RxC i TxC
Oprócz wymienionych różnic dalsza część opisu jest wspólna dla wszystkich typów układów Z80 SIO. Sygnały, których nazwy różnią się tylko ostatnią literą (A lub B), spełniają identyczne funkcje dla obu kanałów.

B/A — wejście (ang. CHANNEL A OR B SELECT). Wybór kanału. Stan niski sygnału na tym wejściu umożliwia odczyt i zapis do rejestrów kanału A. Stan wysoki umożliwia dostęp do rejestrów kanału B. Najczęściej wejście B/A jest łączone z linią AO mikroprocesora.

C/D — wejście (ang. CONTROL OR DATA SELECT). Wybór rejestrów sterujących lub danych. Wysoki stan sygnału na wejściu C/D umożliwia zapis do układu Z80 SIO słów sterujących i odczyt rejestrów stanu. Stan niski umożliwia wpisywanie danych do bufora nadajnika i ich odczyt z bufora odbiornika. Wejście C/D często jest łączone z linią A1 mikroprocesora.

CE — wejście (ang. CHIP ENABLE). Wybór układu. Stan aktywny — niski. Wszelkie operacje odczytu i zapisu możliwe są w momencie, gdy sygnał na tym wejściu znajduje się w stanie niskim. Wejście CE może być łączone z jedną z linii A2-A7 mikroprocesora lub z wyjściem dekodera adresów układów we/wy.

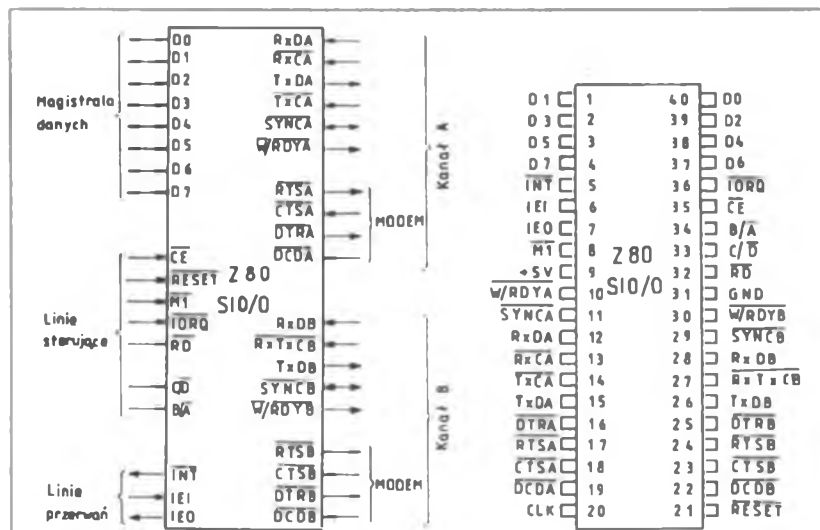
CLK — wejście (ang. CLOCK). Sygnał zegarowy. Układ Z80 SIO wykorzystuje sygnał zegarowy Z80 CPU. W zależności od wersji układu maksymalna częstotliwość sygnału zegarowego może wynosić 2,5 MHz (Z80 SIO), 4 MHz (Z80A SIO), 6 MHz (Z80B SIO).

CTSA, CTSB — wejścia (ang. CLEAR TO SEND). Zezwolenie na rozpoczęcie nadawania przez układ SIO. Stan aktywny — niski.

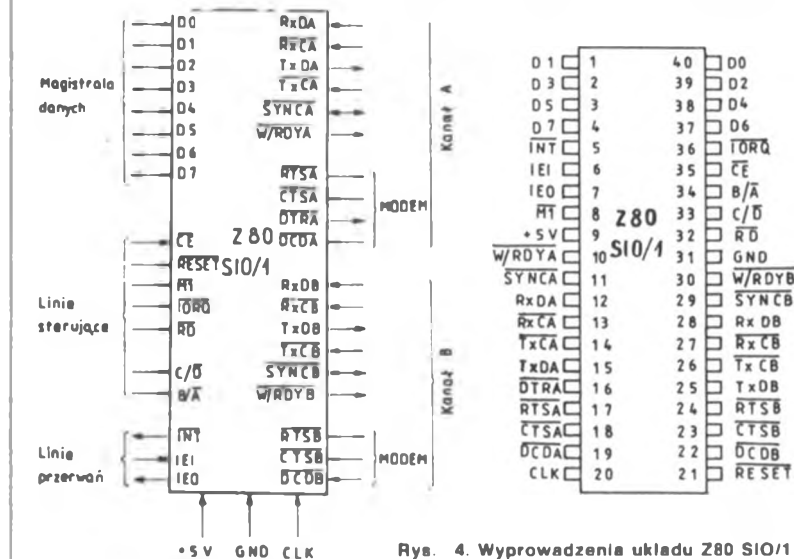
Jeżeli kanał został zaprogramowany do pracy w trybie auto, stan niski na tym wejściu uaktywnia nadajnik. W przeciwnym wypadku wejście to może spełniać dowolną funkcję — jego stan jest przeciwny do stanu bitu D5 rejestru RRO. Sygnały CTSA i CTSB są doprowadzane do wejścia przerzutników Schmitt'a.

D7-D0 — wejścia/wyjścia trójstanowe (ang. DATA BUS). Sygnały danych. Linie używane do przesyłania słów sterujących i danych między CPU a SIO. D0 jest bitem najmniej znaczącym.

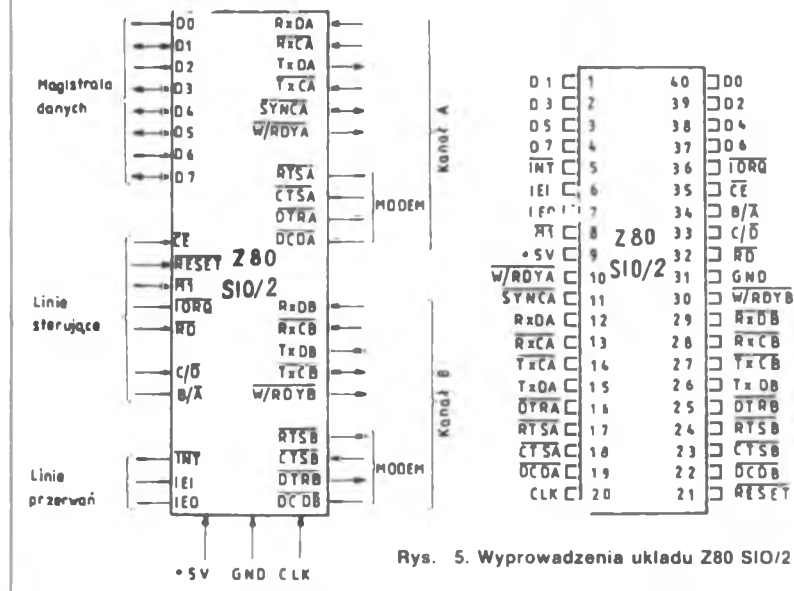
DCDA, DCDB — wejścia (ang. DATA CARRIER DETECT). Sygnał gotowości do nadawania danych do układu SIO. Stan aktywny — niski. Układ Z80 SIO może być zaprogramowany tak (tryb auto), że niski stan na wejściu DCDA lub DCDB powoduje odblokowanie odbiornika odpowiedniego kanału.



Rys. 3. Wyprowadzenia układu Z80 SIO/0



Rys. 4. Wyprowadzenia układu Z80 SIO/1



Rys. 5. Wyprowadzenia układu Z80 SIO/2

Jeżeli tryb auto nie jest wykorzystywany, to funkcja sygnału zależy od użytkownika. Stan sygnału DCD jest negacją stanu bitu D3 odpowiedniego rejestru RRO. Sygnały DCDA i DCDB są doprowadzane do wejścia przerzutników Schmitt'a.

DTRA, DTRB — wyjścia (ang. DATA TERMINAL READY). Sygnał gotowości do odbioru danych przez układ SIO. Stan aktywny — niski. Stan sygnału na wyjściu DTRA (DTRB) jest negacją stanu bitu D7 rejestru WR5 kanału A (B).

IEI — wejście (ang. INTERRUPT ENABLE INPUT). Sygnał zezwolenia na generację przerwania. Stan aktywny — wysoki. Wejście to jest używane do tworzenia łańcucha priorytetu przerwania w systemach mikroprocesorowych zawierających więcej niż jeden układ serii Z80. Wysoki poziom na tym wejściu oznacza, że żaden inny układ o wyższym priorytecie przerwania nie jest obsługiwany przez mikroprocesor.

IEO — wyjście (ang. INTERRUPT ENABLE OUTPUT). Zezwolenie na generację przerwania. Stan aktywny — wysoki. Sygnał IEO wraz z sygnałem IEI służy do tworzenia łańcucha priorytetu przerwania. Sygnał IEO przyjmuje stan wysoki tylko wtedy, gdy mikroprocesor nie obsługuje przerwania z danego układu SIO i sygnał IEI znajduje się w stanie wysokim.

INT — wyjście, otwarty dren (ang. INTERRUPT REQUEST). Sygnał zgłoszenia przerwania. Stan aktywny — niski.

IORQ — wejście (ang. INPUT/OUTPUT REQUEST). Sygnał żądania dostępu do układu we/wy. Stan aktywny — niski. Sygnał IORQ przyjmując stan niski informuje, że adres układu we/wy jest przesyłany liniami magistrali adresowej. Sygnał ten wraz z sygnałami B/A, C/D, CE i RD umożliwia przesyłanie danych i słów sterujących między układami CPU a SIO. Jeżeli stany sygnałów CE, RD i IORQ są aktywne, to z bufora odbiornika lub rejestru odczytu kanału wybranego linią B/A są przesyłane dane. Jeżeli sygnały IORQ i CE są w stanach aktywnych, a RD nie, to wykonywany jest cykl zapisu do układu Z80 SIO. Jednoczesne pojawienie się stanów niskich na liniach IORQ i M1 oznacza potwierdzenie przyjęcia przerwania.

M1 — wejście (ang. MACHINE CYCLE ONE). Sygnał pierwszego cyklu maszynowego mikroprocesora. Stan aktywny — niski. Niskie stany sygnałów M1 i IORQ informują o przyjęciu przerwania.

R × CA, R × CB — wejścia (ang. RECEIVER CLOCKS). Sygnały zegarowe odbiorników. Odbierane dane są próbkowane podczas trwania narastającego zboczenia sygnału R × C. Częstotliwość próbkowania może być programowo ustalona na równą częstotliwości sygnału R × C (f_c) lub $f_c/16$, $f_c/32$, $f_c/64$. Wejścia R × CA i R × CB mogą być połączone z wyjściami ZC/TO układu Z80 CTC. Takie rozwiązanie umożliwia dodatkową zmianę częstotliwości sygnałów R × CA i R × CB. Sygnały R × CA i R × CB są doprowadzane do wejścia przerzutników Schmitt'a.

RD — wejście (ang. READ). Sygnał odczytu z pamięci lub układu we/wy. Stan aktywny — niski. Wraz z sygnałami IORQ i CE służy do identyfikacji cyklu zapisu ($RD = 1$) i odczytu ($RD = 0$) z układu Z80 SIO.

R × DA, R × DB — wejście (ang. RECEIVE DATA). Sygnał danych odbieranych. Stan aktywny — wysoki.

RESET — wejście (ang. RESET). Sygnał zerowania układu. Stan aktywny — niski. Powoduje on: wstrzymanie odbioru i nadawania, zmianę stanu sygnałów na wyjściach T × D, RTS i DTR na wysoki, zablokowanie przerwania. Po wyzerowaniu wszystkie rejestry układu Z80 SIO wymagają ponownego zaprogramowania.

RTSA, RTSB — wyjście (ang. REQUEST TO SEND). Sygnał żądania rozpoczęcia nadawania. Stan aktywny — niski. Zmiana stanu bitu D1 rejestru WR5 na wysoki powoduje zmianę stanu sygnału RTS odpowiedniego kanału na niski. Jeżeli stan tego bitu zostanie zmieniony na niski podczas transmisji asynchronicznej, to po opróżnieniu bufora nadajnika sygnał RTS zmieni swój stan na wysoki. Podczas pracy w trybie synchronicznym stan sygnału na wyjściu RTS ściśle odpowiada stanowi bitu D1 rejestru WR5 danego kanału.

SYNCA, SYNCB — wejścia/wyjścia (ang. SYNCHRONIZATION). Sygnał synchronizacji. Stan aktywny — niski. Podczas asynchronicznego odbioru wejścia SYNCA i SYNCB pełnią funkcję zbliżoną do funkcji wejść CTS i DCD — mikroprocesor może odczytać ich stan z rejestru RRO (bit D4). W synchronicznym trybie pracy wejścia SYNCA i SYNCB mogą być wykorzystywane do synchronizowania odbioru danych. W tym wypadku sygnał na wejściu SYNC zmienia swój stan z wysokiego na niski podczas trwania drugiego narastającego zbocza sygnału R × C po odebraniu ostatniego bitu znaku synchronizacji.

Zmiana stanu sygnału SYNC oznacza zerwanie łączności lub zakończenie wymiany informacji. W czasie pracy w trybie synchronicznym nie wykorzystującym tej właściwości wyprowadzenia SYNCA i SYNCB pełnią funkcję wyjść sygnałów, które zmieniają stany na niskie w momencie, gdy są przesyłane znaki synchronizacji.

T × CA, T × CB — wejścia (ang. TRANSMITTER CLOCKS). Sygnały zegarowe nadajników. Zmiany sygnału na wyjściu T × D odbywają się w czasie trwania opadającego zbocza sygnału T × C. Transmisja może odbywać się z prędkością równą 1 bit × f_c , 1 bit × $f_c/16$, 1 bit × $f_c/32$, 1 bit × $f_c/64$, gdzie f_c jest częstotliwością sygnału T × C. Dla każdego kanału dzielnik częstotliwości odbioru i nadawania jest taki sam, inne mogą być częstotliwości sygnałów na wejściach TxCA i TxCB. Sygnały te mogą być wytwarzane przez układ Z80 CTC (wyjścia ZC/TO). Sygnały TxCA i TxCB są doprowadzane do wejścia przerzutników Schmitt'a.

TxDA, TxDB — wyjścia (ang. TRANSMIT DATA). Sygnały danych nadawanych.

W/RDYA, W/RDYB — wyjścia typu otwarty dren (ang. WAIT/READY A). Sygnały gotowości. Wyjścia mogą być zaprogramowane tak, żeby generowały sygnały WAIT spowalniające pracę mikroprocesora. Drugi sposób wykorzystania wyjść W/RDY polega na generacji impulsów READY do układu Z80 DMA. Po wyzerowaniu układu SIO wyjścia W/RDY są przystosowane do pracy jako linie WAIT.

Układ Z80 SIO może pracować w dwóch trybach: asynchronicznym i synchronicznym.

Tryb asynchroniczny. Oba kanały układu Z80 SIO mogą nadawać i odbierać niezależnie. Przesyłany znak zawiera 5, 6, 7 lub 8 bitów, bit startu, bit stopu (ew. $1\frac{1}{2}$ lub 2 bity stopu) oraz w wypadku, gdy układ zaprogramowano do pracy z kontrolą parzystości, bit parzystości (ang. EVEN) lub nieparzystości (ang. ODD). Układ umożliwia generację sygnału lub znaku przerwania transmisji (ang. BREAK, ABORT) w dowolnym momencie. Wykrycie sygnału przerwania transmisji powoduje zgłoszenie przerwania do mikroprocesora. Układ Z80 SIO jest wyposażony w system wykrywający bit startu. Po wykryciu stanu niskiego na wejściu R × DA (lub R × DB) stan tego wejścia jest sprawdzany również po upływie połowy czasu przeznaczonego na jeden bit. W wypadku, gdy nie jest on niski, wykonanie operacji odbioru znaku zostaje zaniechane. Wykrycie stanu niskiego w momencie, gdy spodziewany jest

bit stopu (błąd bitu stopu) oraz przepelnienie bufora danych, są sygnalizowane stanem bitów D6 i D5 rejestru RR1. Układ jest zabezpieczony przed rozpoznaniem błędnego bitu stopu jako bitu startu.

Sygnały zegarowe $R \times CA$ ($R \times CB$) i $T \times CA$ ($T \times CB$) nie muszą mieć tej samej częstotliwości ani nie muszą być zgodne w fazie. Dane mogą być nadawane lub odbierane z częstotliwością równą $1/Tc$, $1/16 \times Tc$, $1/32 \times Tc$ i $1/64 \times Tc$, przy czym Tc jest okresem przebiegu sygnału zegarowego doprowadzonego do wejścia $R \times Ca$, $T \times CA$, $R \times CB$ lub $T \times CB$. W trybie asynchronicznym wejście $\overline{SYNC}$ może spełniać dowolną funkcję — jego stan jest negacją stanu bitu D4 rejestru RRO.

Tryb synchroniczny. Układ Z80 SIO umożliwia prowadzenie transmisji synchronicznej zarówno według protokołów zorientowanych na przesyłanie znaków jak i bitów.

Do pierwszej grupy należą transmisje z 8-bitowym znakiem synchronizacji (MONOSYNC), 16-bitowym znakiem synchronizacji (BISYNC) oraz transmisja z wykorzystaniem specjalnego sygnału synchronizującego doprowadzonego do wejścia/wyjścia $\overline{SYNC}$. Znaki i bity synchronizacji są wstawiane i usuwane przez układ Z80 SIO — funkcja mikroprocesora sprowadza się jedynie do wcześniejszego ich ustalenia.

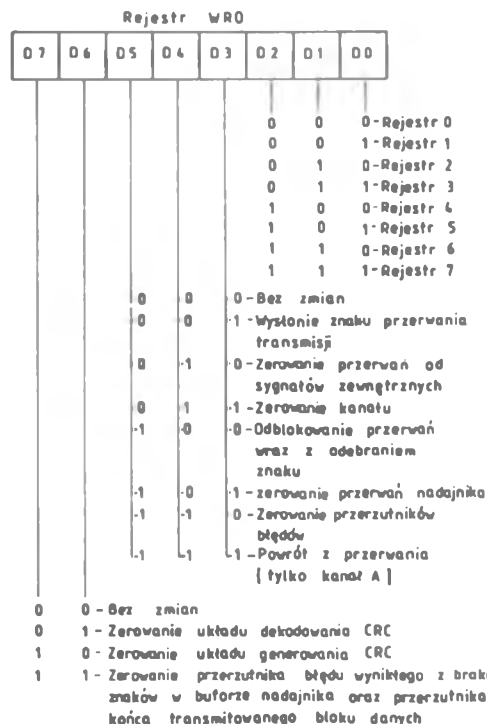
Do drugiej grupy protokołów, zorientowanych na transmisję bitów, należą protokoły SDLC (ang. SYNCHRONOUS DATA LINK CONTROL) i HDLC (ang. HIGH-LEVEL DATA LINK CONTROL). Pracując w tym trybie układ odbiera lub nadaje znaczniki początku i końca transmisji, adres transmisji, dane, wielomian CRC i ewentualnie znak przerwania transmisji (ang. ABORT). Znacznik początku i końca transmisji jest przechowywany w rejestrze WR7, a adres transmisji w rejestrze WR6. Mikroprocesor zmieniając stan bitów D5, D4, D3 rejestru WRO na 001 może spowodować wysłanie znaku przerwania transmisji. Odebranie znaku początku powoduje zsynchronizowanie odbiornika z nadajnikiem i ewentualnie (jeżeli bity D4 i D3 rejestru WR1 nie są zerami) zgłoszenie przerwania. Odbiornik może zostać zaprogramowany tak, aby odbierał tylko te dane, które są poprzedzone adresem zgodnym z zawartością rejestru WR6. Ten sposób odbioru uzyskuje się przez wpisanie słowa sterującego do rejestru WR3, w którym bit D2 = 1. W wypadku, gdy bit ten jest w stanie logicznym „0”, odbiornik przyjmuje wszystkie znaki informacyjne bez względu na adres. Liczba bajtów adresowych może być zwiększona jedynie programowo. Po zakończeniu transmisji (odebraniu znaku końca) bit D7 rejestru statusu RR1 jest stawiany w stan „1”.

Układ Z80 SIO może być obsługiwany poprzez cykliczne sprawdzanie statusu, wykorzystanie przerw (także wektorów) lub przesłań blokowych. Przesłania blokowe mogą być realizowane za pomocą układów bezpośredniego dostępu do pamięci.

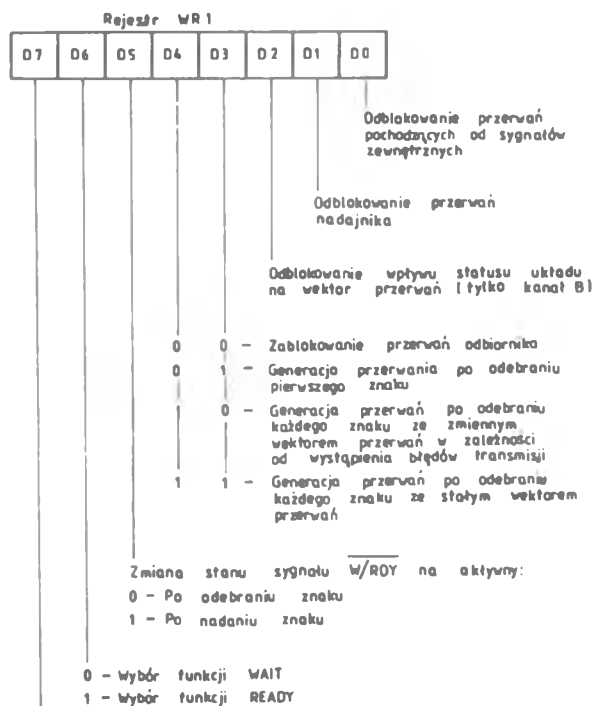
Układ Z80 SIO może generować przerwy wskutek:

- 1 — odebrania pierwszego znaku ciągu informacji,
- 2 — odebrania znaku,
- 3 — opróżnienia bufora nadajnika,
- 4 — zmiany stanu sygnału na wejściu CTS, DCD lub $\overline{SYNC}$ na aktywny,
- 5 — odebranie znaku końca transmisji (SDLC) lub sygnału przerwania transmisji ($R \times D = 1$ w czasie dłuższym niż czas przeznaczony na odbiór bitów stopu).

Przyczyny generowania przerw są wymienione według priorytetu: od najwyższego do najniższego. Przerwy pochodzące z kanału A mają wyższy priorytet od przerw z kanału B. Aby przerwy mogły być zgłaszane, muszą być ustawione odpowiednie bity rejestru zapisu WR1:

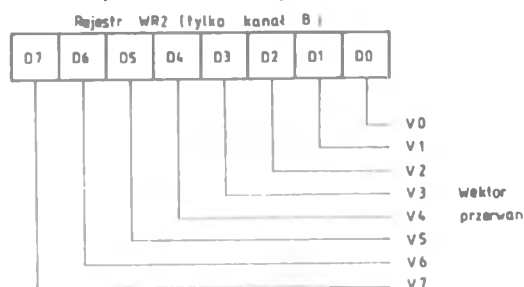


Rys. 6. Słowo sterujące rejestru WRO

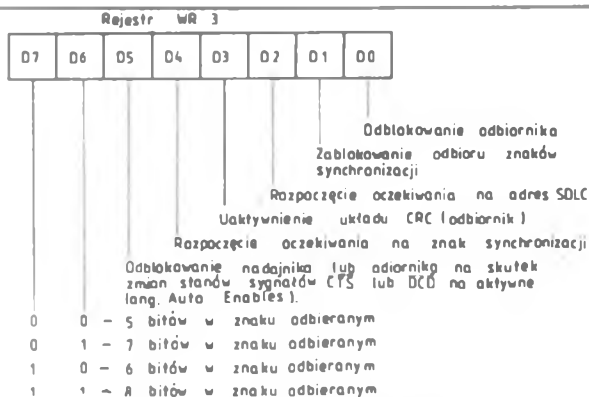


Odblokowanie zmian sygnału na wyjściu $\overline{W/RODY}$

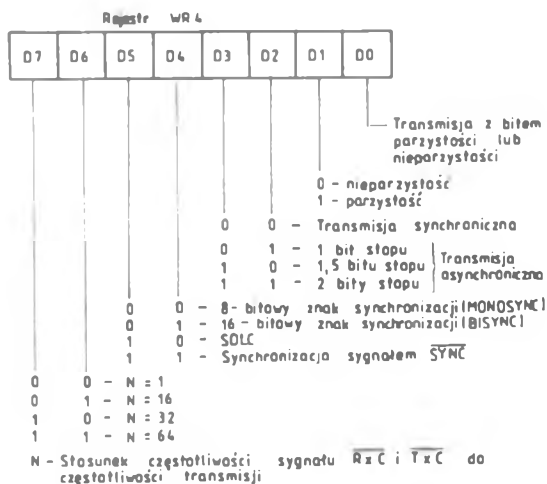
Rys. 7. Słowo sterujące rejestru WR1



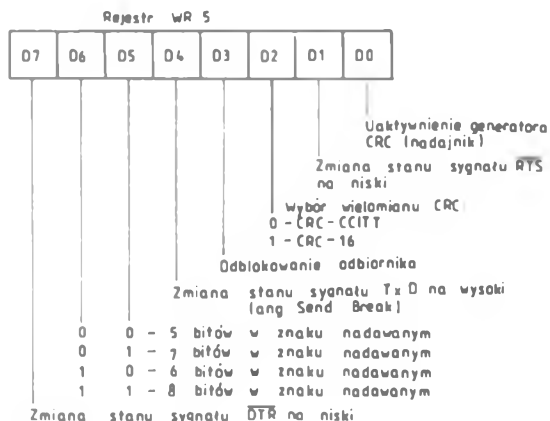
Rys. 8. Słowo sterujące rejestru WR2



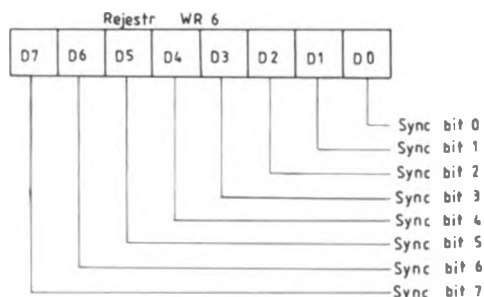
Rys. 9. Słowo sterujące rejestru WR3



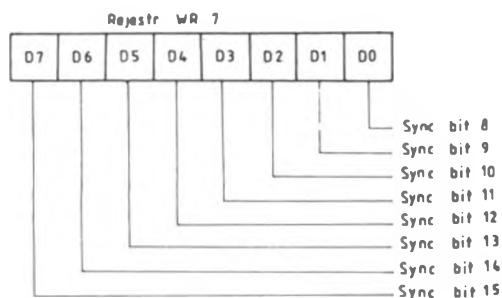
Rys. 10. Słowo sterujące rejestru WR4



Rys. 11. Słowo sterujące rejestru WR5

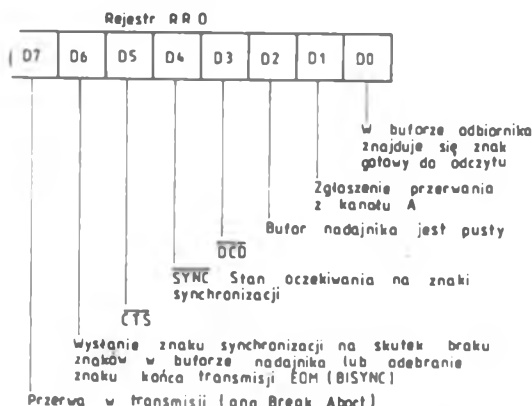


Rys. 12. Słowo sterujące rejestru WR6

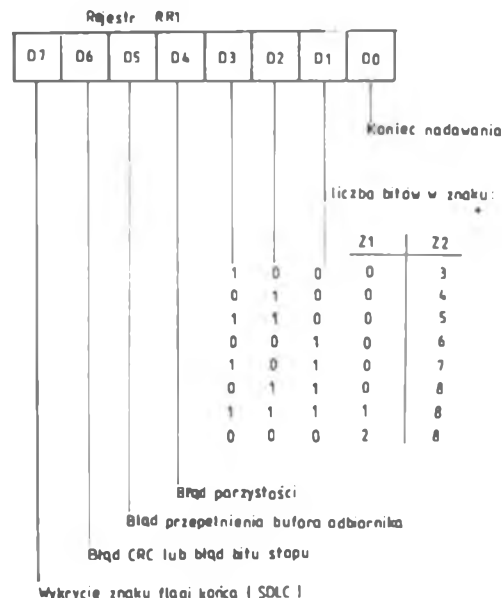


Bity 8 ÷ 15 → bity znaku synchronizacji lub znacznik końca i początku (dla SDLC i MDLC powinno być "01111110")

Rys. 13. Słowo sterujące rejestru WR7



Rys. 14. Słowo statusu rejestru RR0



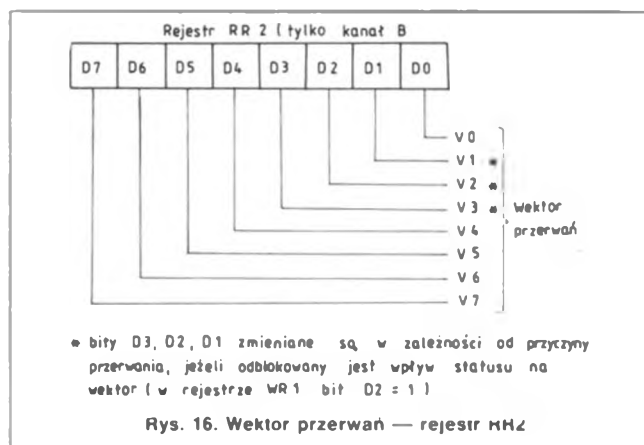
• Informacja prawdziwa tylko po zaprogramowaniu kanału na odbiór znaków 8-bitowych

Z1 - liczba bitów w przedostatnio odebranym znaku

Z2 - liczba bitów w ostatnio odebranym znaku

Rys. 15. Słowo statusu rejestru RR1

- bity D4 i D3 dla przerw z odbiornika,
 - bit D1 dla przerw z nadajnika,
 - bit D0 dla przerw spowodowanych zmianami stanu sygnałów CTS DCD, SYNC lub przerwą w transmisji.
- Wymienionym przerwaniom odpowiada osiem różnych wektorów przerw (po cztery dla każdego z kanałów), przy czym układ SIO automatycznie zmienia stany bitów V3, V2 i V1 (rys. 16, tabl.). Dzięki tej właściwości mikroprocesor jest zwolniony z określania przyczyny przerwania.



Sposób określania przyczyny przerwań

V3	V2	V1	Przyczyna przerwania
0	0	0	Odebranie znaku - kanał A
0	0	1	Odebranie znaku z błędem parzystości - kanał A
0	1	0	Pusty bufor nadajnika - kanał A
0	1	1	CTS=0 lub DCD=0 lub SYNC=0 lub przerwa w transmisji odebranie znaku końca - kanał A
1	0	0	Odebranie znaku - kanał B
1	0	1	Odebranie znaku z błędem parzystości - kanał B
1	1	0	Pusty bufor nadajnika - kanał B
1	1	1	CTS=0 lub DCD=0 lub SYNC=0 lub przerwa w transmisji odebranie znaku końca - kanał B

Przed rozpoczęciem transmisji danych układ Z80 SIO musi zostać zaprogramowany. W tym celu do rejestrów WR0-WR7 należy wpisać odpowiednie słowa sterujące (rys. 6 – 13).

Zapis do rejestrów WR1-WR7 jest możliwy tylko po uprzednim wpisaniu słowa sterującego do rejestru WR0. Bity D2, D1 i D0 tego rejestru wskazują rejestr dostępny przy następnym cyklu zapisu. Po wybraniu rodzaju transmisji (rejestr WR4) należy ustalić jej parametry, rodzaje generowanych przerwań, wektor przerwań, znaki synchronizacji lub flag oraz funkcję wyjścia WAIT/READY. Rejestr WR0, dostępny zawsze w pierwszej kolejności, umożliwia bezpośrednią ingerencję w przebieg transmisji i zmianę stanów niektórych przerzutników. Ustawienie bitu D5 rejestru WR3 powoduje odblokowanie nadajnika (odbiornika) wskutek pojawienia się niskiego stanu na wejściu CTS (DCD). Odblokowanie odbiornika następuje również w wyniku ustawienia bitu D0 rejestru WR3. Nadawanie możliwe jest po wpisaniu do rejestru WR5 słowa sterującego, w którym bit D3 = 1.

Rejestry RR0, RR1, RR2 zawierają informacje o stanie buforów i sygnałów zewnętrznych doprowadzonych do układu Z80 SIO, o wystąpieniu błędów, o liczbie odebranych bitów i zakończeniu transmisji (SDLC). Rejestr RR2, w który zaopatrzone jest tylko kanał B, umożliwia odczyt wektora przerwań. Odczyt rejestru RR0 jest możliwy w dowolnym momencie, a odczyt rejestrów RR1 i RR2 musi być poprzedzony wpisaniem do WR0 słowa sterującego wybierającego rejestr.

Cykle zapisu i odczytu rejestrów układu Z80 SIO są typowe dla serii Z80, a przedstawione są w pracy [1].

Układ Z80 SIO pobiera ze źródła zasilania prąd ok. 30 mA. Produkowany w NRD układ Z80 SIO jest oznaczony symbolem U856D.

LITERATURA

- [1] Fedyna K., Mizeracki M.: Układy mikroprocesorowe Z80. WKiŁ 1989
- [2] Misiurewicz P.: Układy mikroprocesorowe. WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe. WNT 1984
- [4] Zaks R.: Programming the Z80. Melbourne House Publisher 1981
- [5] Coffron J.W.: Practical hardware details of 8080, 8085, 6800, Z80. New York, Prentice Hall 1981

Układy mikroprocesorowe Z80 (6)

mgr inż. Konrad Fedyna
mgr inż. Marek Mizeracki

Podwójny, asynchroniczny nadajnik-odbiornik Z80 DART

Układ Z80 DART realizuje podzbiór funkcji układu Z80 SIO. Ma on jednak tę zaletę, że jest tańszy od układu Z80 SIO. W wielu przypadkach, gdy realizowana jest transmisja asynchroniczna, można zamiast układu Z80 SIO zastosować układ Z80 DART. Program inicjujący i obsługujący układy jest w tym przypadku identyczny. Układ Z80 DART zawiera dwa niezależne kanały umożliwiające prowadzenie transmisji asynchronicznej oraz sterowanie i kontrolę stanu modemu. Układ scalony Z80 DART jest wykonany w technologii NMOS i umieszczony w obudowie DIL 40.

Podstawowe cechy układu

Dwa niezależne kanały umożliwiające transmisję jednoczesną (FULL-DUPLEX), mające oddzielne linie sterujące i linie statusu.

Prędkość transmisji: 0 – 500 kbit/s dla układów pracujących z sygnałem zegarowym o częstotliwości 2,5 MHz i 0 – 800 kbit/s dla sygnału zegarowego o częstotliwości 4 MHz.

Możliwość przesyłania asynchronicznego znaków zawierających 5, 6, 7 lub 8 bitów wraz z bitami startu, stopu, parzystości lub nieparzystości.

Kontrola parzystości (EVEN) lub nieparzystości (ODD), błędu bitu stopu (FRAMING ERROR) oraz błędu przepełnienia bufora odbiornika (OVERRUN ERROR).

Pojemność bufora odbiornika: cztery znaki.

Pojemność bufora nadajnika: dwa znaki.

Możliwość generowania przerwań zwykłych i wektoryzowanych pod kontrolą łańcuchowego systemu generacji przerwań.

Wszystkie sygnały wejściowe i wyjściowe odpowiadają poziomom logicznym TTL.

Jednofazowy sygnał zegarowy.

Zasilanie: +5 V.

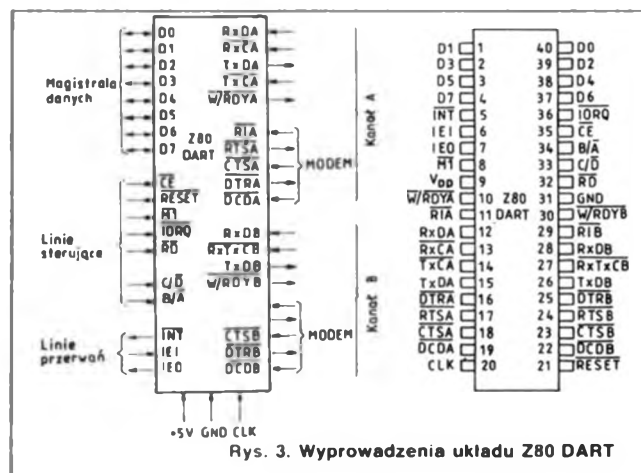
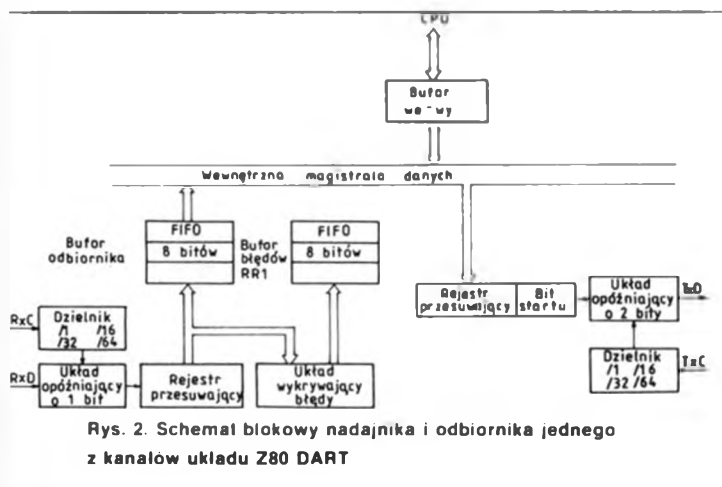
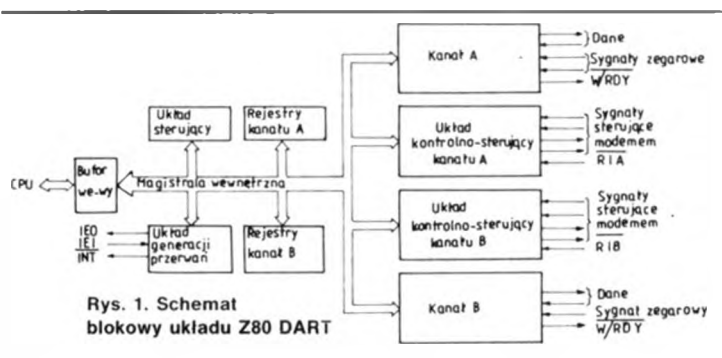
Układ Z80 DART zawiera następujące elementy (rys. 1):

- dwa niezależne kanały transmisji,
- dwa układy kontrolno-sterujące linii we/wy,
- dwa zestawy rejestrów sterujących i statusu,
- układ sterujący,
- układ generacji przerwań,
- bufor we/wy.

W skład zestawu rejestrów sterujących kanału wchodzi rejestr zapisu (sterujące) WRO-WR5 i odczytu (statusu) RRO-RR2. Rejestry te zawierają następujące informacje:

WR0 — określenie dostępu do innych rejestrów, zerowanie układów,

WR1 — określenie trybu pracy i sposobu generacji przerwań,



CTSA, CTSB — wejście (CLEAR TO SEND). Sygnały zezwolenia na rozpoczęcie nadawania przez układ Z80 DART. Stan aktywny — niski. Stan niski na tym wejściu, podczas pracy układu w trybie AUTO, uaktywnia nadajnik. Jeżeli kanał nie został zaprogramowany do pracy w trybie AUTO, to sygnał ten może spełniać dowolną funkcję. Stan sygnału **CTS** jest przeciwny do stanu bitu D5 rejestru RR0. Sygnały **CTSA** i **CTSB** są doprowadzone do wejścia przerzutników Schmitta.

DO.D7 — trójstanowe wejścia/wyjścia (DATA BUS). Linie służą do przesyłania słów sterujących i danych między mikroprocesorem i układem Z80 DART. DO jest bitem najmniej znaczącym.

DCDA, DCTB — wejścia (DATA CARRIER DETECT). Sygnał gotowości do nadawania danych do układu Z80 DART. Stan aktywny — niski. Niski stan na wejściu DCD może spowodować odblokowanie odbiornika odpowiedniego kanału jeżeli pracuje on w trybie AUTO. W przeciwnym przypadku sygnał może spełniać dowolną funkcję, a jego stan można ustalić programowo za pomocą bitu D3 rejestru RRO. Bit D3 = 1 jeżeli sygnał DCD znajduje się w stanie niskim. Sygnały DCDA i DCDB są doprowadzane do wejścia przerzutników Schmitta.

DTRA, DTRB — wyjścia (DATA TERMINAL READY). Sygnał gotowości do odbioru danych przez układ Z80 DART. Stan aktywny — niski. Stan sygnału DTR jest negacją stanu bitu D7 rejestru WR5.

IEI — wejście (INTERRUPT ENABLE INPUT). Zezwolenie na generację przerwania. Stan aktywny — wysoki. Wejście to jest używane do tworzenia łańcucha priorytetu przerw w systemach mikroprocesorowych zawierających więcej niż jeden układ serii Z80. Wysoki poziom na tym wejściu oznacza, że żaden inny układ o wyższym priorytecie przerw nie jest obsługiwany przez mikroprocesor.

IEO — wyjście (INTERRUPT ENABLE OUTPUT). Zezwolenie na generację przerwania. Stan aktywny — wysoki. Sygnał IEO służy do tworzenia łańcucha priorytetu przerw i jest zwykle doprowadzany do wejścia IEI następnego, pod względem priorytetu, układu. Sygnał na wyjściu IEO przyjmuje stan wysoki zawsze, gdy mikroprocesor nie obsługuje przerwania z danego układu DART i sygnał na wejściu IEI znajduje się w stanie wysokim.

INT — wyjście typu otwarty dren (INTERRUPT REQUEST). Sygnał zgłoszenia przerwania. Stan aktywny — niski.

IORQ — wejście (INPUT/OUTPUT REQUEST). Sygnał zapisu lub odczytu z układu we/wy. Stan aktywny — niski. Stan niski na tym wejściu sygnalizuje, że na magistrali adresowej znajduje się aktualny adres układu we/wy. Sygnał IORQ wraz z sygnałami B/A, C/D, CE i RD służy do zapisu słów sterujących i wymiany danych między mikroprocesorem i układem DART. Jeżeli sygnały na wejściach CE, RD i IORQ są w stanach niskich, to z bufora odbiornika lub z rejestru odczytu kanału wybranego linią B/A są przesyłane dane. Jeżeli sygnały IORQ i CE są w stanach aktywnych, a sygnał RD w stanie nieaktywnym, to oznacza, że magistralą danych jest przesyłane słowo sterujące ($C/D = 1$) lub są przesyłane dane ($C/D = 0$). Mikroprocesor Z80 potwierdza przyjęcie przerwania zmieniając jednocześnie stany linii IORQ i M1 na niskie.

M1 — wejście (MACHINE CYCLE ONE). Sygnał pierwszego cyklu maszynowego. Stan aktywny — niski. Jednoczesne pojawienie się stanów niskich na wejściach M1 i IORQ oznacza potwierdzenie przyjęcia przerwania.

RxCA, RxCB — wejścia (RECEIVER CLOCKS). Sygnały zegarowe odbiorników. Odbierane dane są próbkowane podczas trwania narastającego zbocza sygnału RxC. Programowo można ustalić prędkość transmisji na równą $1 \text{ bit} \times f_c$, $(f_c \text{ jest częstotliwością sygnału RxC})$ lub $1 \text{ bit} \times f_c/16$, $1 \text{ bit} \times f_c/32$, $1 \text{ bit} \times f_c/64$. Sygnałami RxCA i RxCB mogą być generowane sygnały na wyjściach ZC/TO układu Z80 CTC. Takie rozwiązanie daje dodatkową możliwość programo-

wej zmiany prędkości transmisji. Sygnały RxCB i TxCB mają wspólne wejście. Sygnały RxCA i RxCB są doprowadzane do wejścia przerzutników Schmitta.

RD — wejście (READ CYCLE STATUS). Sygnał odczytu z pamięci lub układu we/wy. Stan aktywny — niski. Wraz z sygnałami IORQ i CE identyfikuje cykle zapisu ($RD = 1$) i odczytu ($RD = 0$) z układu Z80 DART.

RxDA, RxDB — wejście (RECEIVE DATA). Sygnały danych odbieranych. Stan aktywny — wysoki.

RESET — wejście (RESET). Sygnał zerowania układu. Stan aktywny — niski. Niski stan na tym wejściu powoduje:

- przerwanie odbioru i nadawania,
- ustawienie stanu sygnałów TxD, RTS i DRT na wysoki,
- zablokowanie przerw.

RTSA, RTSB — wyjścia (REQUEST TO SEND). Sygnały żądania rozpoczęcia nadawania. Stan aktywny — niski. Zmiana stanu bitu D1 rejestru WR5 na wysoki powoduje zmianę stanu sygnału na wyjściu RTS odpowiedniego kanału na aktywny. Jeżeli stan tego bitu zmieni się na niski w czasie trwania transmisji asynchronicznej, to po wysłaniu wszystkich znaków z bufora nadajnika sygnał RTS zmieni stan na wysoki.

RIA, RIB — wejścia (RING INDICATOR). Sygnały początku transmisji. Stan aktywny — niski. Wejście RI spełnia funkcję podobną do wejść CTS i DCD i służy do zainicjowania transmisji. Układ Z80 DART może być tak zaprogramowany, aby generował przerwanie wskutek zmiany stanu sygnału RI.

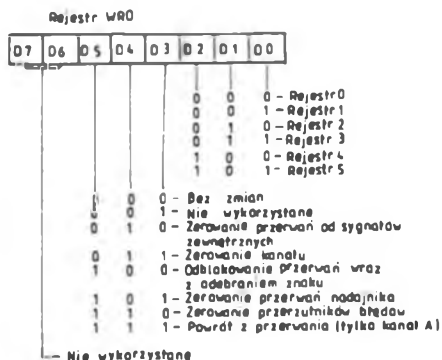
TxCA, TxCB — wejścia (TRANSMITTER CLOCKS). Sygnały zegarowe nadajników. W czasie trwania opadających zboczy sygnału TxC następują zmiany stanu sygnału na wejściu TxD. Asynchroniczne nadawanie danych może odbywać się z prędkością równą $1 \text{ bit} \times f_c$, $1 \text{ bit} \times f_c/16$, $1 \text{ bit} \times f_c/32$, $1 \text{ bit} \times f_c/64$, przy czym f_c jest częstotliwością sygnału zegarowego TxC. Do generacji sygnałów TxC może być użyty układ Z80 CTC (wyjścia ZC/TO). Dzielnik częstotliwości sygnałów zegarowych odbioru nadawania jest wspólny dla każdego kanału. Sygnały TxCB i RxCB mają wspólne wejście. Sygnały TxCA i TxCB są doprowadzane do wejścia przerzutników Schmitta.

TxDA, TxDB — wyjścia (TRANSMIT DATA). Sygnały danych nadawanych. Stan aktywny — wysoki.

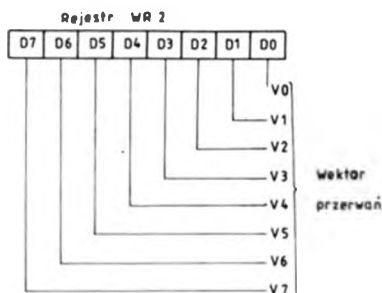
W/RDYA, W/RDYB — wyjścia (WAIT/READY). Sygnały gotowości. Linie te mogą być zaprogramowane tak, aby zmieniły stan na niski w trakcie cyklu odczytu, gdy dane nie mogą być jeszcze odczytane przez mikroprocesor (tryb WAIT). W tym rodzaju pracy są wyjściami typu otwarty dren. Drugi sposób wykorzystania wyjść W/RDY polega na generacji impulsów do układu DMA w momencie, gdy w buforze układu DART znajdują się dane do odczytu lub gdy żąda ich nadajnik. Po wyzerowaniu układu wyjścia W/RDY automatycznie ustawiane są w tryb pracy WAIT.

Zaprogramowanie układu Z80 DART polega na wpisaniu do rejestrów WR0-WR5 odpowiednich słów sterujących (rys. 4–9). Zapis do rejestrów WR1-WR5 jest możliwy po uprzednim przesłaniu słowa sterującego do rejestru WR0. Bity D2, D1 i D0 wskazują rejestr dostępny przy następnym cyklu zapisu. Słowa sterujące wpisane do rejestrów zapisu ustalają parametry transmisji, sposób obsługi układu (przerwania), wektor przerw oraz stan sygnałów na wyjściach RTS i DTR. Do parametrów transmisji zalicza się:

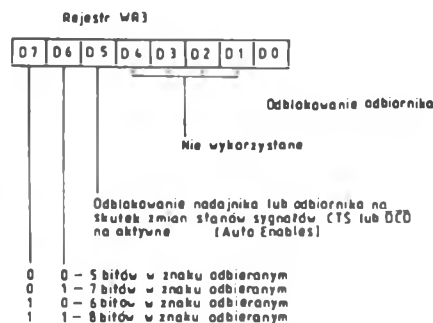
- liczba bitów w znaku (WR3 → bity D7 i D6),
- częstotliwość sygnału zegarowego odbiornika lub nadajnika (WR4 → bity D7 i D6),



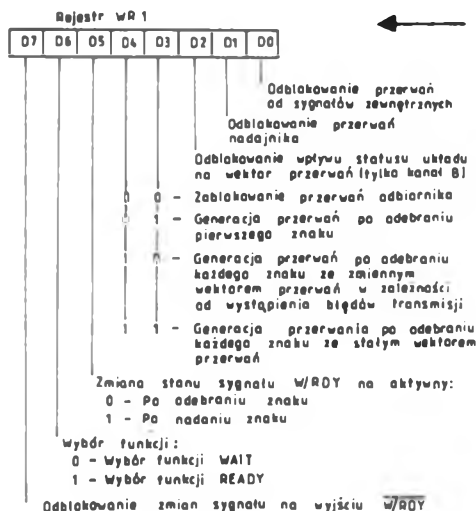
Rys. 4. Słowo sterujące rejestru WRO



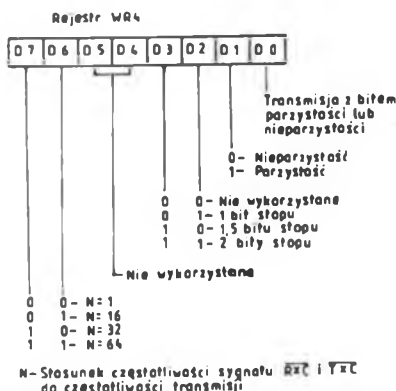
Rys. 6. Słowo sterujące rejestru WR2



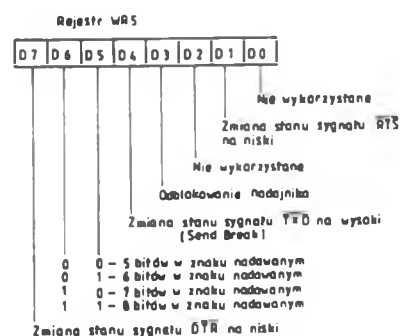
Rys. 7. Słowo sterujące rejestru WR3



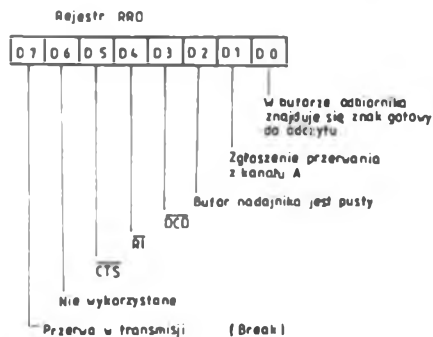
Rys. 5. Słowo sterujące rejestru WR1



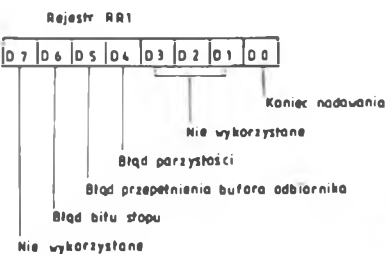
Rys. 8. Słowo sterujące rejestru WR4



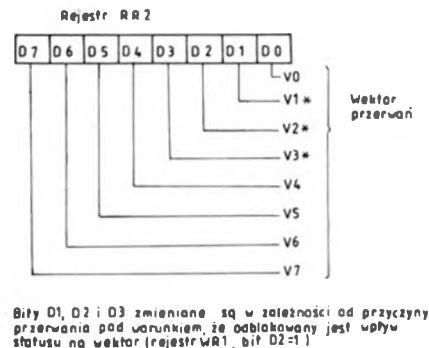
Rys. 9. Słowo sterujące rejestru WR5



Rys. 10. Słowo statusu rejestru RR0



Rys. 11. Słowo statusu rejestru RR1



Rys. 12. Wektor przerwań — rejestr RR2

- kontrolę parzystości (nieparzystości) lub jej brak (WR4 → bity D1 i D0).
- liczbę bitów stopu (WR4 → bity D3 i D2).

Określając sposób obsługi układu Z80 DART należy zablokować generację przerwań lub ustalić właściwy ich rodzaj, a wykorzystując układ bezpośredniego dostępu do pamięci uaktywnić linię READY. W przypadku wykorzystania przerwań wektoryzowanych należy wpisać młodszy bajt wektora do rejestru WR2 kanału B. Rejestr WR0 umożliwia zmianę stanu układu przerwań i detekcji błędów.

Nadawanie jest możliwe po ustawieniu bitu D3 rejestru WR5 lub w przypadku wykorzystywania trybu auto (WR3 → bit D5 = 1) po zmianie stanu sygnału CTS na niski. Odbiór danych jest możliwy wtedy, gdy bit D0 rejestru WR3 znajduje się w stanie logicznym „1”. Ustawienie bitu D5 rejestru WR3 (tryb auto) powoduje, że dane mogą być odbierane po zmianie stanu sygnału DCD na niski. Rejestry RR0, RR1 i RR2 (rys.

10–12) zawierają informacje o stanach:

- buforów odbiornika i nadajnika,
- sygnałów zewnętrznych CTS, DCD i RI,
- znaczników błędów oraz przerwania transmisji.

Rejestr RR2, w który zaopatrzony jest jedynie kanał B, umożliwia odczyt wektora przerwań. Mikroprocesor może odczytać rejestr RR0 w dowolnym momencie. Odczyt rejestrów RR1 i RR2 musi być poprzedzony wpisaniem do rejestru WR0 słowa sterującego wybierającego rejestr.

Transmisja szeregową, realizowaną przez układ Z80 DART, wymaga dostarczania (odbierania) danych przez CPU lub DMA. Układ może być obsługiwany trzema sposobami:

- przez cykliczne sprawdzanie statusu,
- za pomocą przerwań (wektoryzowanych lub nie),
- za pomocą przesłań blokowych wykorzystując wejście WAIT mikroprocesora lub przez układ DMA z pominięciem CPU.

Cykliczne sprawdzanie stanu układu

Oba kanały są wyposażone w rejestry statusu RR0 i RR1, których stan jest uaktualniany po zakończeniu każdej operacji. Bity D0 i D2 rejestru RR0 wskazują zajętość buforów odbiornika i nadajnika. Stan wysoki bitu D0 informuje o obecności znaku w buforze odbiornika. Znak ten może być odczytany w dowolnym momencie. Jeżeli bit D2 = 1, oznacza to brak danych w buforze nadajnika. Podczas pracy z cyklicznym sprawdzaniem stanu system przerwań układu Z80 DART powinien być zablokowany.

Przerwania

System przerwań układu Z80 DART umożliwia generowanie przerwań wektoryzowanych o zmiennym wektorze w zależności od przyczyny przerwania oraz dołączenia układu do łańcuchowego systemu priorytetu przerwań. W systemach mikroprocesorowych, których jednostką centralną nie jest Z80 CPU, wykorzystanie tych cech jest utrudnione. Przerwania mogą być zgłaszane i przyjmowane na zasadach określonych przez mikroprocesor. Pewnym udogodnieniem jest rejestr RR2 kanału B, który zawiera wektor przerwań modyfikowany w zależności od przyczyny przerwania. Wykorzystując przerwania wektoryzowane należy zapisać do rejestru WR2 kanału B młodszy bajt, a do rejestru I mikroprocesora starszy bajt wektora przerwań oraz utworzyć w pamięci RAM tablicę adresów podprogramów obsługi przerwań.

Stan bitów V3, V2 i V1 wektora przerwań układu Z80 DART w zależności od przyczyny przerwania

V3	V2	V1	Przyczyna przerwania
0	0	0	Odebranie znaku - kanał A
0	0	1	Odebranie znaku z błędem - kanał A
0	1	0	Pusty bufor nadajnika - kanał A
0	1	1	$\overline{CTS} = 0$ lub $\overline{DCD} = 0$ lub $\overline{RI} = 0$ lub przerwa w transmisji - kanał A
1	0	0	Odebranie znaku - kanał B
1	0	1	Odebranie znaku z błędem parzystości - kanał B
1	1	0	Pusty bufor nadajnika - kanał B
1	1	1	$\overline{CTS} = 0$ lub $\overline{DCD} = 0$ lub $\overline{RI} = 0$ lub przerwa w transmisji - kanał B

Wszystkie przerwania generowane przez układ Z80 DART mają określony priorytet ważności. Przerwania o priorytecie wyższym mogą przerwać obsługę przerwań o priorytecie niższym. Przerwania pochodzące od kanału A mają priorytet wyższy od priorytetu przerwań kanału B. Poniższe zestawienie przyczyn przerwań uwzględnia priorytet ich ważności. Począwszy od przyczyn przerwań o najwyższym priorytecie, są to:

1. odebranie pierwszego znaku ciągu informacji,
2. odebranie znaku,
3. wysłanie znaku (pusty bufor nadajnika),
4. zmiany stanu sygnału CTS, DCD lub RI na niski,
5. odebranie sygnału przerwania transmisji ($RxD = 1$) w czasie dłuższym niż czas transmisji bitów stopu).

Generacja przerwań wskutek odebrania pierwszego znaku jest stosowana najczęściej do zainicjowania przesłania blokowego. Układ Z80 DART zaprogramowany tak, aby żądał przerwań po odebraniu każdego znaku, może wysyłać dwa różne wektory przerwań w zależności od tego, czy odczyt był prawidłowy, czy błędny (parzystość, przepełnienie bufora, a

także błąd bitu stopu). Rodzaj błędu można ustalić na podstawie rejestru RR1. Zgłoszenie przerwań jest możliwe po ustawieniu następujących bitów rejestru WR1:

- bity D4 i D3 dla przerwań z odbiornika,
- bit D1 dla przerwań z nadajnika,
- bit D0 dla przerwań wynikających ze zmian stanów sygnałów CTS, DCD, RI lub spowodowanych przerwą w transmisji. Łącznie układ Z80 DART może wysyłać, po uzyskaniu potwierdzenia zgłoszonego przerwania, osiem różnych wektorów. Stany bitów V3, V2 i V1 wektora przerwań są zmieniane automatycznie.

Przesłania blokowe

Przesłania blokowe mogą być dokonywane zarówno z udziałem mikroprocesora jak i DMA. Pierwszy sposób zakłada wykorzystanie rozkazów przesłań blokowych mikroprocesora Z80 (np. OTIR) i zaprogramowanie linii $\overline{W}/RDY$ do pracy w trybie WAIT.

Cykle zapisu i odczytu rejestrów układu Z80 DART są typowymi cyklami zapisu i odczytu z układów we/wy mikroprocesora. Również cykle zgłoszenia, przyjęcia i powrotu z przerwania zachodzące podczas obsługi układu Z80 DART, nie różnią się niczym od cykli mikroprocesora Z80. Dla układu Z80 DART charakterystyczne są przebiegi sygnałów TxD , RxD , TxC i RxC podczas nadawania i odbioru danych. Przebiegi czasowe sygnałów układu Z80 DART są omówione w pracy [1].

LITERATURA

- [1] Fedyna K., Mizeracki M.: Układy mikroprocesorowe Z80. WKiŁ 1989
- [2] Misiurewicz P.: Układy mikroprocesorowe. WNT 1983
- [3] Praca zbiorowa: Modułowe systemy mikrokomputerowe. WNT 1984
- [5] Zaks R.: Programming the Z80. Melbourne House Publisher 1981
- [5] Coffron J.W.: Practical hardware details of 8080, 8085, 6800, Z80. New York, Prentice Hall 1981

